

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-256388

(43)公開日 平成10年(1998) 9 月25日

(51)Int.Cl.⁹

H 0 1 L 21/8222
27/06
29/866

識別記号

F I

H 0 1 L 27/06
29/90

I 0 1 D
D

審査請求 未請求 請求項の数12 O L (全 39 頁)

(21)出願番号 特願平9-61536

(22)出願日 平成 9 年(1997) 3 月14日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番35号

(72)発明者 大石 哲也

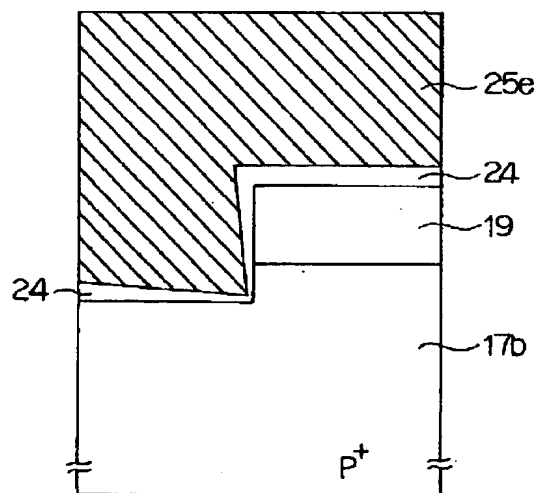
東京都品川区北品川 6 丁目 7 番35号 ソニ
ー株式会社内

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 本発明は、金属配線にバリアメタル構造を採用しても、ツェナーザップダイオードの破壊短絡が容易で、破壊短絡後のオン抵抗値を安定化することが可能な半導体装置及びその製造方法を提供することを課題とする。

【解決手段】 P型不純物領域16b及びP⁺型グラフト不純物領域17bからなるアノード領域18とN⁺型不純物領域からなるカソード領域21bとから構成されているツェナーザップダイオードBにおいて、P⁺型グラフト不純物領域17b表面には凹部が形成され、このP⁺型グラフト不純物領域17b上の絶縁膜19に形成された開口部における段差は、絶縁膜19の厚さに凹部23の深さが加わったものとなって相対的に大きくなっているため、P⁺型グラフト不純物領域17bとAl合金層からなるアノード電極25eとの間に介在するTiONバリアメタル層24は開口部の角部において局所的に薄膜化している。



17b・・・P⁺型グラフト不純物領域
19・・・絶縁膜
24・・・TiONバリアメタル層
25e・・・アノード電極

【特許請求の範囲】

【請求項1】 PN接合をなす第1及び第2の不純物領域と、前記第1及び第2の不純物領域にそれぞれ接続する第1及び第2の電極とを有するツェナーザップダイオードを具備する半導体装置であって、

前記第1の電極と前記第1の不純物領域との間及び前記第2の電極と前記第2の不純物領域との間に、それぞれ第1及び第2のバリアメタル層が介在すると共に、前記第1及び第2のバリアメタル層の少なくとも一方のバリアメタル層が局所的に薄膜化された箇所を有しており、前記第1及び第2の電極間に、所定の逆バイアスが印加されたとき、前記バリアメタル層が局所的に薄膜化された箇所に電流集中が生じて接合破壊が発生し、前記第1及び第2の電極を接続するフィラメントが形成されることを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、前記第1及び第2の不純物領域が表面に形成されている半導体基板が、シリコン基板であり、前記第1及び第2の電極が、アルミニウム又はアルミニウム合金からなることを特徴とする半導体装置。

【請求項3】 請求項1記載の半導体装置において、前記ツェナーザップダイオードと共に、バイポーラトランジスタが同一の半導体基板上に混載されていることを特徴とする半導体装置。

【請求項4】 PN接合をなす第1及び第2の不純物領域を有するツェナーザップダイオードとバイポーラトランジスタが同一の半導体基板上に混載されている半導体装置の製造方法であって、

半導体基板表面にコレクタ領域を形成した後、第1導電型の不純物を選択的に添加して、前記コレクタ領域表面にベース領域を、前記半導体基板表面に第1の不純物領域を、それぞれ同時に形成する第1の工程と、

基体全面に堆積した絶縁膜を選択的に除去して、前記ベース領域上に第1及び第2の開口部を、前記コレクタ領域上に第3の開口部を、前記第1の不純物領域上に第4及び第5の開口部を、それぞれ形成する第2の工程と、基体全面に多結晶シリコン層を堆積した後、前記第2の開口部の前記多結晶シリコン層に第1導電型の不純物を添加すると共に、前記第1、第3及び第4の開口部の前記多結晶シリコン層に第2導電型の不純物を添加する第3の工程と、

前記多結晶シリコン層中の第1導電型及び第2導電型の不純物を拡散して、前記ベース領域表面にエミッタ領域及びベースコンタクト領域を、前記コレクタ領域表面にコレクタコンタクト領域を、前記第1の不純物領域表面に第2の不純物領域を、それぞれ形成する第4の工程と、

前記多結晶シリコン層を所定の形状にパターニングして、前記第1乃至第4の開口部並びにこれらの周囲の前記絶縁膜上に前記多結晶シリコン層を残存させ、前記第

5の開口部及びこの周囲の前記絶縁膜上の前記多結晶シリコン層を除去すると共に、前記多結晶シリコン層のオーバーエッチにより前記第5の開口部内の前記第1の不純物領域をエッチングして前記第1の不純物領域表面に凹部を形成する第5の工程と、

基体全面に順次堆積したバリアメタル層及び金属層を所定の形状にパターニングして、前記第1乃至第4の開口部の前記多結晶シリコン層上に前記バリアメタル層を介して前記金属層からなるベース電極、エミッタ電極、コレクタ電極及び第2の電極を、前記第5の開口部に前記バリアメタル層を介して前記金属層からなる第1の電極を、それぞれ形成する第6の工程と、を有し、

前記第6の工程において前記バリアメタル層を堆積する際に、前記第5の開口部内の第1の不純物領域上に堆積される前記バリアメタル層が局所的に薄膜化されるようにすることを特徴とする半導体装置の製造方法。

【請求項5】 請求項4記載の半導体装置の製造方法において、

前記第5の工程の代わりに、

前記多結晶シリコン層を所定の形状にパターニングして、前記第1乃至第4の開口部並びにこれらの周囲の前記絶縁膜上に前記多結晶シリコン層を残存させ、前記第5の開口部周囲の前記絶縁膜上に前記多結晶シリコン層を残存させ、前記第5の開口部の前記多結晶シリコン層を除去する第5の工程を有することを特徴とする半導体装置の製造方法。

【請求項6】 請求項4記載の半導体装置の製造方法において、

前記第5の工程の代わりに、

前記多結晶シリコン層を所定の形状にパターニングして、前記第1乃至第4の開口部並びにこれらの周囲の前記絶縁膜上に前記多結晶シリコン層を残存させ、前記第5の開口部周囲の前記絶縁膜上に前記多結晶シリコン層を残存させ、前記第5の開口部の前記多結晶シリコン層を除去すると共に、前記多結晶シリコン層のオーバーエッチにより前記第5の開口部内の前記第1の不純物領域をエッチングして前記第1の不純物領域表面に凹部を形成する第5の工程を有することを特徴とする半導体装置の製造方法。

【請求項7】 請求項4乃至6のいずれかに記載の半導体装置の製造方法において、

前記第4の工程と前記第5の工程の順序を入れ替えて、前記第5の工程の後に前記第4の工程を行うことを特徴とする半導体装置の製造方法。

【請求項8】 PN接合をなす第1及び第2の不純物領域を有するツェナーザップダイオードとバイポーラトランジスタが同一の半導体基板上に混載されている半導体装置の製造方法であって、

半導体基板表面にコレクタ領域を形成した後、第1導電型の不純物を選択的に添加して、前記コレクタ領域表面

10

20

30

40

50

にベース領域を、前記半導体基板表面に第1の不純物領域を、それぞれ形成する第1の工程と、
 基体全面に堆積した絶縁膜を選択的に除去して、前記ベース領域上に第1の開口部を、前記第1の不純物領域上に第2及び第3の開口部を、それぞれ形成する第2の工程と、
 基体全面に多結晶シリコン層を堆積した後、前記多結晶シリコン層全面に第2導電型の不純物を添加する第3の工程と、
 前記多結晶シリコン層を所定の形状にパターニングして、前記第1及び第2の開口部並びにこれらの周囲の前記絶縁膜上に前記多結晶シリコン層を残存させ、前記第3の開口部及びこの周囲の前記絶縁膜上の前記多結晶シリコン層を除去すると共に、前記多結晶シリコン層のオーバーエッチにより前記第3の開口部内の前記第1の不純物領域をエッチングして前記第1の不純物領域表面に凹部を形成する第4の工程と、
 前記多結晶シリコン層中の第2導電型の不純物を拡散して、前記ベース領域表面にエミッタ領域を、前記第1の不純物領域表面に第2の不純物領域を、それぞれ形成する第5の工程と、
 前記絶縁膜を選択的に除去して、前記ベース領域上に第4の開口部を、前記コレクタ領域上に第5の開口部を、それぞれ形成する第6の工程と、
 基体全面に順次堆積したバリアメタル層及び金属層を所定の形状にパターニングして、前記第1及び第2の開口部の前記多結晶シリコン層上に前記バリアメタル層を介して前記金属層からなるエミッタ電極及び第2の電極を、前記第3乃至第5の開口部に前記バリアメタル層を介して前記金属層からなる第1の電極、ベース電極及びコレクタ電極を、それぞれ形成する第7の工程と、を有し、
 前記第7の工程において前記バリアメタル層を堆積する際に、前記第3の開口部内の第1の不純物領域上に堆積される前記バリアメタル層が局所的に薄膜化されるようにすることを特徴とする半導体装置の製造方法。

【請求項9】 請求項8記載の半導体装置の製造方法において、

前記第4の工程の代わりに、
 前記多結晶シリコン層を所定の形状にパターニングして、前記第1及び第2の開口部並びにこれらの周囲の前記絶縁膜上に前記多結晶シリコン層を残存させ、前記第3の開口部周囲の前記絶縁膜上に前記多結晶シリコン層を残存させ、前記第3の開口部の前記多結晶シリコン層を除去する第4の工程を有することを特徴とする半導体装置の製造方法。

【請求項10】 請求項8記載の半導体装置の製造方法において、

前記第4の工程の代わりに、
 前記多結晶シリコン層を所定の形状にパターニングし

て、前記第1及び第2の開口部並びにこれらの周囲の前記絶縁膜上に前記多結晶シリコン層を残存させ、前記第3の開口部周囲の前記絶縁膜上に前記多結晶シリコン層を残存させ、前記第3の開口部の前記多結晶シリコン層を除去すると共に、前記多結晶シリコン層のオーバーエッチにより前記第3の開口部内の前記第1の不純物領域をエッチングして前記第1の不純物領域表面に凹部を形成する第4の工程を有することを特徴とする半導体装置の製造方法。

10 【請求項11】 PN接合をなす第1及び第2の不純物領域を有するツェナーザップダイオードとバイポーラトランジスタが同一の半導体基板上に混載されている半導体装置の製造方法であって、

半導体基板表面にコレクタ領域を形成した後、第1導電型の不純物を選択的に添加して、前記コレクタ領域表面にベース領域を、前記半導体基板表面に第1の不純物領域を、それぞれ形成する第1の工程と、

基体全面に堆積した絶縁膜を選択的に除去して、前記ベース領域上に第1の開口部を、前記第1の不純物領域上に第2の開口部を、それぞれ形成する第2の工程と、

20 基体全面に多結晶シリコン層を堆積した後、前記多結晶シリコン層全面に第2導電型の不純物を添加する第3の工程と、

前記多結晶シリコン層中の第2導電型の不純物を拡散して、前記ベース領域表面にエミッタ領域を、前記第1の不純物領域表面に第2の不純物領域を、それぞれ形成する第4の工程と、

前記多結晶シリコン層を所定の形状にパターニングして、前記第1及び第2の開口部並びにこれらの周囲の前記絶縁膜上に前記多結晶シリコン層を残存させ、前記第1の不純物領域上の第3の開口部形成予定領域周囲の前記絶縁膜上に前記多結晶シリコン層を残存させる第5の工程と、

前記絶縁膜を選択的に除去して、前記第1の不純物領域上に第3の開口部を、前記ベース領域上に第4の開口部を、前記コレクタ領域上に第5の開口部を、それぞれ形成する第6の工程と、

基体全面に順次堆積したバリアメタル層及び金属層を所定の形状にパターニングして、前記第1及び第2の開口部の前記多結晶シリコン層上に前記バリアメタル層を介して前記金属層からなるエミッタ電極及び第2の電極を、前記第3乃至第5の開口部に前記バリアメタル層を介して前記金属層からなる第1の電極、ベース電極及びコレクタ電極を、それぞれ形成する第7の工程と、を有し、

前記第7の工程において前記バリアメタル層を堆積する際に、前記第3の開口部内の第1の不純物領域上に堆積される前記バリアメタル層が局所的に薄膜化されるようにすることを特徴とする半導体装置の製造方法。

50 【請求項12】 請求項11記載の半導体装置の製造方

法において、

前記第4の工程と前記第5の工程の順序を入れ替えて、前記第5の工程の後に前記第4の工程を行うことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置及びその製造方法に係り、特にツェナーザップダイオード（Zener Zap Diode）とバイポーラトランジスタが同一の半導体基板上に混載されている半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】従来のツェナーザップダイオードは、例えばSi（シリコン）基板表面に形成されたNPNバイポーラトランジスタのエミッタ領域とベース領域とをなすPN接合を用い、例えばAl（アルミニウム）又はAl合金を使用したエミッタ電極及びベース電極をそれぞれカソード（Cathode；陰極）電極及びアノード（Anode；陽極）電極として用いるのが一般的であった。このため、ツェナーザップダイオードは、NPNバイポーラトランジスタを作成する工程において同時に作製することが可能であった。

【0003】また、このツェナーザップダイオードをトリミング装置として用いる場合は、カソード電極とアノード電極と間に高電界の逆バイアスを印加してツェナーザップダイオードを破壊短絡（zener zapping）させることによって、カソード電極－アノード電極間の抵抗値のトリミングを行っていた。

【0004】このツェナーザップダイオードの破壊短絡のメカニズムは、次のように考えられている。即ち、カソード電極－アノード電極間に高電界の逆バイアスを印加すると、PN接合部に逆方向に流れる大電流による発熱により温度上昇が起こる。更に温度が上昇すると、局部的な電流集中領域が発生し、この電流集中領域の温度がキャリアの急激な増大を生じる真性温度に達すると、瞬間的に低抵抗領域となってPN接合破壊を生じ、更にその後続電流によって電極部分のAlが溶解する。そして、この溶解したAlとSi基板のSiとが反応して、カソード電極－アノード電極間を接続するAlフィラメントがSi基板表面に形成される。

【0005】ところで、近年のバイポーラIC（集積回路）の高集積化による素子の微細化に伴い、バイポーラトランジスタの金属配線にバリアメタル構造を採用することが多くなってきた。そして、このバリアメタルとしては、金属配線のマイグレーションを抑制し、素子のコンタクト部分におけるAlとSiの反応を抑制するために、例えばTiONのような高融点金属を使用することが一般的である。

【0006】以下に、金属配線にバリアメタル構造を採用したバイポーラトランジスタ及びツェナーザップダイ

オードが同一の半導体基板上に混載されている半導体装置の製造方法を、図31～図36を用いて説明する。ここで、図31～図33は従来の半導体装置の第1の製造方法を説明するための工程断面図、図34は図33に示すツェナーザップダイオードの一部拡大図、図35～図37は従来の半導体装置の第2の製造方法を説明するための工程断面図、図38は図37に示すツェナーザップダイオードの一部拡大図である。

【0007】（従来の第1の製造方法）まず、P型Si基板41表面にN⁺型埋め込み層42を形成した後、N型エピタキシャル層43を成長させる。また、N型エピタキシャル層43表面からP型Si基板41に達するP型アイソレーション44を形成して、NPNバイポーラトランジスタ領域とツェナーザップダイオード領域とを素子分離し、N型埋め込み層42上のN型エピタキシャル層43をN型コレクタ領域43aとする。また、N型エピタキシャル層43表面からN⁺型埋め込み層42に達するコレクタ取出し用のN⁺型プラグイン（Plug In）45を形成する。

【0008】続いて、NPNバイポーラトランジスタ領域のN型コレクタ領域43a表面とツェナーザップダイオード領域のN型エピタキシャル層43表面にP型不純物を選択的に添加して、P型ベース領域46aとP型不純物領域46bとをそれぞれ形成すると共に、P⁺型グラフトベース領域47aとP⁺型グラフト不純物領域47bとをそれぞれ形成し、隣接するP型不純物領域46b及びP⁺型グラフト不純物領域47bからなるアノード領域48を形成する。

【0009】続いて、基体全面に絶縁膜49を堆積した後、絶縁膜49を選択的にエッチング除去し、P型ベース領域46a上、P⁺型グラフトベース領域47a上、N⁺型プラグイン45上、P型不純物領域46b上、及びP⁺型グラフト不純物領域47b上に、それぞれ開口部を形成する。続いて、基体全面に多結晶シリコン層50を堆積した後、P型ベース領域46a上、N⁺型プラグイン45上、及びP型不純物領域46b上の開口部の多結晶シリコン層50に例えばAs⁺を選択的に注入すると共に、P⁺型グラフトベース領域47a上及びP型不純物領域46b上の開口部の多結晶シリコン層50に例えばBF₃⁺を選択的に注入する（図31参照）。

【0010】次いで、多結晶シリコン層50からAs（砒素）及びB（硼素）を拡散させて、P型ベース領域46a表面にN⁺型エミッタ領域51aを、N⁺型プラグイン45表面にN⁺型コレクタコンタクト領域52を、P型不純物領域46b表面にN⁺型不純物領域からなるカソード領域51bを、P⁺型グラフトベース領域47a表面にP⁺型ベースコンタクト領域（図示せず）を、P⁺型グラフト不純物領域47b表面にアノードコンタクト領域（図示せず）をそれぞれ形成する。

【0011】続いて、多結晶シリコン層50を所定の形

状にパターンニングして、N⁺型エミッタ領域51a上、P⁺型グラフトベース領域47a上、N⁺型コレクタコンタクト領域52上、カソード領域51b上、及びアノードコンタクト領域上のそれぞれの開口部並びにこれらの周囲の絶縁膜49上に、多結晶シリコン層50a、50b、50c、50d、50eを残存させる（図32参照）。

【0012】次いで、基体全面に例えばTiONからなるバリアメタル層及びA1又はA1合金からなるA1系金属層を順に堆積した後、これらを所定の形状にパターンニングして、N⁺型エミッタ領域51a上に多結晶シリコン層50a及びバリアメタル層54を介してA1系金属層からなるエミッタ電極55aを、P⁺型グラフトベース領域47a上に多結晶シリコン層50b及びバリアメタル層54を介してA1系金属層からなるベース電極55bを、N⁺型コレクタコンタクト領域52上に多結晶シリコン層50c及びバリアメタル層54を介してA1系金属層からなるコレクタ電極55cを、カソード領域51b上に多結晶シリコン層50d及びバリアメタル層54を介してA1系金属層からなるカソード電極55dを、アノード領域48のP⁺型グラフト不純物領域47b上に多結晶シリコン層50e及びバリアメタル層54を介してA1系金属層からなるアノード電極55eを、それぞれ形成する。

【0013】このようにして、バリアメタル構造のエミッタ電極部、ベース電極部、及びコレクタ電極部の全てに多結晶シリコン層50a、50b、50cが使用されているNPNバイポーラトランジスタAと同じくバリアメタル構造のツェナーザップダイオードBが同一の半導体基板上に混載され半導体装置を作製する（図33参照）。

【0014】ここで、図33に示すツェナーザップダイオードBにおいて、アノード領域48のP⁺型グラフト不純物領域47b上の開口部及びこの周囲の絶縁膜49上における多結晶シリコン層50eのなす段差は、他のN⁺型エミッタ領域51a上の開口部及びこの周囲の絶縁膜59上における多結晶シリコン層60aのなす段差等と等しくなるため、その一部拡大図である図34に示すように、P⁺型グラフト不純物領域47bとアノード電極65eとの間に介在するバリアメタル層54はほぼ均一な膜厚に形成される。また、図示はしないが、カソード領域51bとカソード電極55dとの間に介在するバリアメタル層54も、図34に示す場合と同様に、ほぼ均一な膜厚となる。

【0015】（従来の第2の製造方法）先ず、上記従来の第1の製造方法の場合と同様にして、P型Si基板41表面にN⁺型埋め込み層42を形成し、N型エピタキシャル層43を成長させ、P型アイソレーション44を形成してNPNバイポーラトランジスタ領域とツェナーザップダイオード領域とに素子分離すると共に、N型埋

め込み層42上のN型エピタキシャル層43をN型コレクタ領域43aとし、コレクタ取出し用のN⁺型ブラグイン45を形成する。そして、N型コレクタ領域43a表面とN型エピタキシャル層43表面に、P型ベース領域46aとP型不純物領域46bとをそれぞれ形成すると共に、P⁺型グラフトベース領域47aとP⁺型グラフト不純物領域47bとをそれぞれ形成し、隣接するP型不純物領域46b及びP⁺型グラフト不純物領域47bからなるアノード領域48を形成する。

【0016】続いて、基体全面に絶縁膜49を堆積した後、この絶縁膜49を選択的にエッチング除去して、P型ベース領域46a上及びP型不純物領域46b上にそれぞれ開口部を形成する。そして、基体全面に多結晶シリコン層50を堆積した後、この多結晶シリコン層50全面に例えばAs⁺を注入する（図35参照）。

【0017】次いで、多結晶シリコン層50を所定の形状にパターンニングして、P型ベース領域46a上及びP型不純物領域46b上の各開口部並びにこれらの周囲の絶縁膜49上に、多結晶シリコン層50a、50dを残存させた後、これらの多結晶シリコン層50a、50dからAsを拡散させて、P型ベース領域46a表面にN⁺型エミッタ領域51aを、P型不純物領域46b表面にN⁺型不純物領域からなるカソード領域51bを、それぞれ形成する（図36参照）。

【0018】次いで、絶縁膜49を選択的にエッチング除去して、P⁺型グラフトベース領域47a上、N⁺型ブラグイン45上、及びP⁺型グラフト不純物領域47b上にそれぞれ開口部を形成する。続いて、基体全面に例えばTiONのような高融点金属からなるバリアメタル層及びA1系金属層を順に堆積した後、これらを所定の形状にパターンニングして、N⁺型エミッタ領域51a上に多結晶シリコン層50a及びバリアメタル層54を介してA1系金属層からなるエミッタ電極55aを、P⁺型グラフトベース領域47a上にバリアメタル層54を介してA1系金属層からなるベース電極55bを、N⁺型ブラグイン45上にバリアメタル層54を介してA1系金属層からなるコレクタ電極55cを、カソード領域51b上に多結晶シリコン層50d及びバリアメタル層54を介してA1系金属層からなるカソード電極55dを、アノード領域48のP⁺型グラフト不純物領域47b上に多結晶シリコン層50e及びバリアメタル層54を介してA1系金属層からなるアノード電極55eを、それぞれ形成する。

【0019】このようにして、バリアメタル構造のエミッタ電極部、ベース電極部、及びコレクタ電極部のうち、エミッタ電極部にのみ多結晶シリコン層50aが使用されているNPNバイポーラトランジスタAと同じくバリアメタル構造のツェナーザップダイオードBが同一のSi基板41上に混載され半導体装置を作製する（図37参照）。

【0020】ここで、図37に示すツェナーザップダイオードBにおいて、アノード領域48のP⁺型グラフト不純物領域47b上の開口部における段差は、他のN⁺型エミッタ領域51a上の開口部及びこの周囲の絶縁膜59上における多結晶シリコン層60aのなす段差等と等しくなるため、その一部拡大図である図38に示すように、P⁺型グラフト不純物領域47bとアノード電極65eとの間に介在するバリアメタル層54はほぼ均一な膜厚に形成される。また、図示はしないが、カソード領域51bとカソード電極55dとの間に介在するバ

【0021】

【発明が解決しようとする課題】このように、上記従来のバイポーラトランジスタAとツェナーザップダイオードBが同一のSi基板41上に混載されている半導体装置において、金属配線にバリアメタル構造が採用されると、バイポーラトランジスタAの製造工程において同時に作成されるツェナーザップダイオードBにおいても、Al系金属からなるカソード電極55d及びアノード電極55eとSi基板41表面との間に例えばTiO_Nのような高融点金属からなるバリアメタル層54がほぼ均一な膜厚をもって介在することになる。このため、カソード電極55d-アノード電極55e間に高電界の逆バイアスを印加することにより電極部分の溶解したAlとSi基板41のSiとを反応させてAlフィラメントを形成するという、ツェナーザップダイオードの破壊短絡のメカニズムが阻害されるという問題が生じた。また、このために、破壊短絡後のオン(ON)抵抗値がばらつくという問題も生じた。

【0022】そこで本発明は、上記問題点を鑑みてなされたものであり、金属配線にバリアメタル構造を採用しても、ツェナーザップダイオードの破壊短絡が容易で、破壊短絡後のオン抵抗値を安定化することが可能な半導体装置及びその製造方法を提供することを目的とする。

【0023】

【課題を解決するための手段】上記課題は、以下の本発明に係る半導体装置及びその製造方法によって達成される。即ち、請求項1に係る半導体装置は、PN接合をなす第1及び第2の不純物領域と、これら第1及び第2の不純物領域にそれぞれ接続する第1及び第2の電極とを有するツェナーザップダイオードを具備する半導体装置であって、第1の電極と第1の不純物領域との間及び第2の電極と第2の不純物領域との間にそれぞれ第1及び第2のバリアメタル層が介在すると共に、これら第1及び第2のバリアメタル層の少なくとも一方のバリアメタル層が局所的に薄膜化された箇所を有しており、第1及び第2の電極間に所定の逆バイアスが印加されたとき、バリアメタル層が局所的に薄膜化された箇所に電流集中が生じて接合破壊が発生し、第1及び第2の電極を接続するフィラメントが形成されることを特徴とする。

【0024】このように請求項1に係る半導体装置においては、カソード電極及びアノード電極をなす第1及び第2の電極とPN接合をなす第1及び第2の不純物領域との間にそれぞれ例えば高融点金属からなる第1及び第2のバリアメタル層が介在するバリアメタル構造のツェナーザップダイオードであっても、第1及び第2のバリアメタル層の少なくとも一方のバリアメタル層が局所的に薄膜化された箇所を有していることにより、第1及び第2の電極間に高電界の逆バイアスを印加した場合、このバリアメタル層が局所的に薄膜化された箇所に局所的な電流集中が発生してバリアメタル層が破れると共に、それに伴う発熱により電極を構成する金属と半導体基板とが反応して第1及び第2の電極間を接続する安定したフィラメントが形成され易くなる。従って、ツェナーザップ発生電流が低下して、ツェナーザップダイオードの破壊短絡が容易になると共に、破壊短絡後のオン抵抗値が安定なものとなる。

【0025】なお、上記請求項1記載の半導体装置において、第1及び第2の不純物領域が表面に形成されている半導体基板がSi基板であり、第1及び第2の電極がAl又はAl合金からなることが望ましい。この場合、第1及び第2の電極間に高電界の逆バイアスを印加し、バリアメタル層が局所的に薄膜化された箇所に局所的な電流集中が発生した際に、それに伴う発熱により第1及び第2の電極を構成するAlが容易に溶解し、この溶解したAlとSi基板のSiとが反応して、第1及び第2の電極間を接続するAlフィラメントがSi基板表面に容易に形成されることになる。

【0026】また、上記請求項1記載の半導体装置において、ツェナーザップダイオードは単体である場合に限られるものではなく、例えばバイポーラトランジスタと同一の半導体基板上に混載されているものであってもよい。この場合、バイポーラトランジスタの金属配線もバリアメタル構造となっているが、このバイポーラトランジスタにおけるバリアメタル層は局所的に薄膜化された箇所を有している必要はないため、バリアメタル構造本来の機能を果たす。

【0027】また、請求項4に係る半導体装置の製造方法は、PN接合をなす第1及び第2の不純物領域を有するツェナーザップダイオードとバイポーラトランジスタが同一の半導体基板上に混載されている半導体装置の製造方法であって、半導体基板表面にコレクタ領域を形成した後、第1導電型の不純物を選択的に添加して、コレクタ領域表面にベース領域を、半導体基板表面に第1の不純物領域をそれぞれ形成する第1の工程と、基体全面に堆積した絶縁膜を選択的に除去して、ベース領域上に第1及び第2の開口部を、コレクタ領域上に第3の開口部を、第1の不純物領域上に第4及び第5の開口部をそれぞれ形成する第2の工程と、基体全面に多結晶シリコン層を堆積した後、第2の開口部の多結晶シリコン層に

第1導電型の不純物を添加すると共に、第1、第3及び第4の開口部の多結晶シリコン層に第2導電型の不純物を添加する第3の工程と、多結晶シリコン層中の第1導電型及び第2導電型の不純物を拡散して、ベース領域表面にエミッタ領域及びベースコンタクト領域を、コレクタ領域表面にコレクタコンタクト領域を、第1の不純物領域表面に第2の不純物領域をそれぞれ形成する第4の工程と、多結晶シリコン層を所定の形状にパターンニングして、第1乃至第4の開口部並びにこれらの周囲の絶縁膜上に多結晶シリコン層を残存させ、第5の開口部及びこの周囲の絶縁膜上の多結晶シリコン層を除去すると共に、この多結晶シリコン層のオーバーエッチにより第5の開口部内の第1の不純物領域をエッチングして、第1の不純物領域表面に凹部を形成する第5の工程と、基体全面に順次堆積したバリアメタル層及び金属層を所定の形状にパターンニングして第1乃至第4の開口部の多結晶シリコン層上にバリアメタル層を介して金属層からなるベース電極、エミッタ電極、コレクタ電極及び第2の電極を、第5の開口部にバリアメタル層を介して金属層からなる第1の電極をそれぞれ形成する第6の工程とを有し、前記第6の工程においてバリアメタル層を堆積する際に、第5の開口部内の第1の不純物領域上に堆積されるバリアメタル層が局所的に薄膜化されるようにすることを特徴とする。

【0028】このように請求項4に係る半導体装置の製造方法においては、第1の不純物領域上の第5の開口部及びこの周囲の絶縁膜上の多結晶シリコン層を除去すると共に、この多結晶シリコン層のオーバーエッチにより第5の開口部内の第1の不純物領域をエッチングして第1の不純物領域表面に凹部を形成することにより、この第5の開口部における段差は、絶縁膜の厚さに凹部の深さが加わったものとなって他の開口部における段差よりも大きくなるため、後の工程においてバリアメタル層を堆積する際、他の開口部において良好なステップカバレッジが得られる一方、第5の開口部においてはステップカバレッジが悪化して、第5の開口部内の第1の不純物領域上に堆積されたバリアメタル層は局所的に薄膜化する。

【0029】このため、ツェナーザップダイオードの第1及び第2の電極間に高電界の逆バイアスを印加した場合、このバリアメタル層が局所的に薄膜化された箇所に局所的な電流集中が発生してバリアメタル層が破れると共に、それに伴う発熱により電極を構成する金属と半導体基板とが反応して第1及び第2の電極間を接続するフィラメントが形成される。従って、バリアメタル構造のバイポーラトランジスタのバリア性を確保しつつ、ツェナーザップダイオードの破壊短絡が容易で破壊短絡後のオン抵抗値が安定な半導体装置が容易に作製される。

【0030】また、請求項4に係る半導体装置の製造方法においては、ベース領域を形成する工程において同時

に第1の不純物領域を形成し、エミッタ領域を形成する工程において同時に第2の不純物領域を形成し、エミッタ等の電極部の多結晶シリコン層をパターンニングする工程において同時に第5の開口部内の第1の不純物領域表面に凹部を形成し、バリアメタル層を介して金属層からなるベース電極等を形成する工程において同時に第1及び第2の電極を形成すると共に、第1の電極と第1の不純物領域との間に介在するバリアメタル層を局所的に薄膜化している。このため、破壊短絡が容易で破壊短絡後のオン抵抗値が安定なツェナーザップダイオードが、エミッタ、ベース、コレクタの各電極部に多結晶シリコン層を使用しているバリアメタル構造のバイポーラトランジスタを作製する従来の製造工程に何ら新たな工程を追加することなく、同一の半導体基板上に同時に作製される。

【0031】また、請求項5に係る半導体装置の製造方法は、上記請求項4に係る半導体装置の製造方法において、前記第5の工程の代わりに、多結晶シリコン層を所定の形状にパターンニングして、第1乃至第4の開口部並びにこれらの周囲の絶縁膜上に多結晶シリコン層を残存させ、第5の開口部周囲の絶縁膜上に多結晶シリコン層を残存させ、第5の開口部の多結晶シリコン層を除去する第5の工程を有することを特徴とする。

【0032】このように請求項5に係る半導体装置の製造方法においては、第1の不純物領域上の第5の開口部周囲の絶縁膜上に多結晶シリコン層を残存させると共に、第5の開口部の多結晶シリコン層を除去することにより、この第5の開口部における段差は、絶縁膜の厚さに多結晶シリコン層の厚さが加わったものとなって他の開口部における段差よりも大きくなるため、後の工程においてバリアメタル層を堆積する際、他の開口部において良好なステップカバレッジが得られる一方、第5の開口部においてはステップカバレッジが悪化して、第5の開口部内の第1の不純物領域上に堆積されたバリアメタル層は局所的に薄膜化する。従って、上記請求項4の場合と同様に、バリアメタル構造のバイポーラトランジスタのバリア性を確保しつつ、ツェナーザップダイオードの破壊短絡が容易で破壊短絡後のオン抵抗値が安定な半導体装置が容易に作製される。

【0033】また、請求項5に係る半導体装置の製造方法においては、ベース領域を形成する工程において同時に第1の不純物領域を形成し、エミッタ領域を形成する工程において同時に第2の不純物領域を形成し、エミッタ等の電極部の多結晶シリコン層をパターンニングする工程において同時に第5の開口部周囲の絶縁膜上に多結晶シリコン層を残存させ、バリアメタル層を介して金属層からなるベース電極等を形成する工程において同時に第1及び第2の電極を形成すると共に、第1の電極と第1の不純物領域との間に介在するバリアメタル層を局所的に薄膜化している。このため、上記請求項4の場合と同

様に、破壊短絡が容易で破壊短絡後のオン抵抗値が安定なツェナーザップダイオードが、エミッタ、ベース、コレクタの各電極部に多結晶シリコン層を使用しているバリアメタル構造のバイポーラトランジスタを作製する従来の製造工程に何ら新たな工程を追加することなく、同一の半導体基板上に同時に作製される。

【0034】また、請求項6に係る半導体装置の製造方法は、上記請求項4に係る半導体装置の製造方法において、前記第5の工程の代わりに、多結晶シリコン層を所定の形状にパターンニングして、第1乃至第4の開口部並びにこれらの周囲の絶縁膜上に多結晶シリコン層を残存させ、第5の開口部周囲の絶縁膜上に多結晶シリコン層を残存させ、第5の開口部の多結晶シリコン層を除去すると共に、この多結晶シリコン層のオーバーエッチにより第5の開口部内の第1の不純物領域をエッチングして第1の不純物領域表面に凹部を形成する第5の工程を有することを特徴とする。

【0035】このように請求項6に係る半導体装置の製造方法においては、第1の不純物領域上の第5の開口部周囲の絶縁膜上に多結晶シリコン層を残存させ、第5の開口部の多結晶シリコン層を除去すると共に、この多結晶シリコン層のオーバーエッチにより第5の開口部内の第1の不純物領域をエッチングして第1の不純物領域表面に凹部を形成することにより、この第5の開口部における段差は、絶縁膜の厚さに多結晶シリコン層の厚さと凹部の深さが加わったものとなっており、他の開口部における段差よりも大きくなる。しかも、この第5の開口部における段差は、上記請求項4又は5の場合よりも更に大きいため、後の工程においてバリアメタル層を堆積する際、他の開口部において良好なステップカバレッジが得られる一方、第5の開口部においてはステップカバレッジが悪化して、第5の開口部内の第1の不純物領域上に堆積されたバリアメタル層は上記請求項4又は5の場合以上に局部的に薄膜化する。従って、バリアメタル構造のバイポーラトランジスタのバリア性を確保しつつ、ツェナーザップダイオードの破壊短絡が上記請求項4又は5の場合よりも更に容易で破壊短絡後のオン抵抗値が安定な半導体装置が容易に作製される。

【0036】また、請求項6に係る半導体装置の製造方法においては、ベース領域を形成する工程において同時に第1の不純物領域を形成し、エミッタ領域を形成する工程において同時に第2の不純物領域を形成し、エミッタ等の電極部の多結晶シリコン層をパターンニングする工程において同時に第5の開口部周囲の絶縁膜上に多結晶シリコン層を残存させると共に、第5の開口部内の第1の不純物領域表面に凹部を形成し、バリアメタル層を介して金属層からなるベース電極等を形成する工程において、同時に第1及び第2の電極を形成すると共に、第1の電極と第1の不純物領域との間に介在するバリアメタル層を局部的に薄膜化している。このため、上記請求項

4の場合と同様に、破壊短絡が容易で破壊短絡後のオン抵抗値が安定なツェナーザップダイオードが、エミッタ、ベース、コレクタの各電極部に多結晶シリコン層を使用しているバリアメタル構造のバイポーラトランジスタを作製する従来の製造工程に何ら新たな工程を追加することなく、同一の半導体基板上に同時に作製される。

【0037】なお、上記請求項4～6に係る半導体装置の製造方法において、前記第4の工程と前記第5の工程の順序を入れ替えて、第5の工程の後に第4の工程を行ってもよい。即ち、多結晶シリコン層からの不純物拡散を行い、エミッタ領域や第2の不純物領域を形成した後に、多結晶シリコン層のパターンニングを行う代わりに、多結晶シリコン層のパターンニングを行った後に、多結晶シリコン層からの不純物拡散を行い、エミッタ領域や第2の不純物領域を形成してもよい。この場合も、上記請求項4の場合と同様の作用を奏する。

【0038】また、請求項8に係る半導体装置の製造方法は、PN接合をなす第1及び第2の不純物領域を有するツェナーザップダイオードとバイポーラトランジスタが同一の半導体基板上に混載されている半導体装置の製造方法であって、半導体基板表面にコレクタ領域を形成した後、第1導電型の不純物を選択的に添加して、コレクタ領域表面にベース領域を、半導体基板表面に第1の不純物領域をそれぞれ形成する第1の工程と、基体全面に堆積した絶縁膜を選択的に除去して、ベース領域上に第1の開口部を、第1の不純物領域上に第2及び第3の開口部をそれぞれ形成する第2の工程と、基体全面に多結晶シリコン層を堆積した後、多結晶シリコン層全面に第2導電型の不純物を添加する第3の工程と、多結晶シリコン層を所定の形状にパターンニングして、第1及び第2の開口部並びにこれらの周囲の絶縁膜上に多結晶シリコン層を残存させ、第3の開口部及びこの周囲の絶縁膜上の多結晶シリコン層を除去すると共に、この多結晶シリコン層のオーバーエッチにより第3の開口部内の第1の不純物領域をエッチングして第1の不純物領域表面に凹部を形成する第4の工程と、多結晶シリコン層中の第2導電型の不純物を拡散して、ベース領域表面にエミッタ領域を、第1の不純物領域表面に第2の不純物領域をそれぞれ形成する第5の工程と、絶縁膜を選択的に除去して、ベース領域上に第4の開口部を、コレクタ領域上に第5の開口部をそれぞれ形成する第6の工程と、基体全面に順次堆積したバリアメタル層及び金属層を所定の形状にパターンニングして、第1及び第2の開口部の多結晶シリコン層上にバリアメタル層を介して金属層からなるエミッタ電極及び第2の電極を、第3乃至第5の開口部にバリアメタル層を介して金属層からなる第1の電極、ベース電極及びコレクタ電極をそれぞれ形成する第7の工程とを有し、前記第7の工程においてバリアメタル層を堆積する際に、第3の開口部内の第1の不純物領

域上に堆積されるバリアメタル層が局所的に薄膜化されるようにすることを特徴とする。

【0039】このように請求項8に係る半導体装置の製造方法においては、第1の不純物領域上の第3の開口部及びこの周囲の絶縁膜上の多結晶シリコン層を除去すると共に、この多結晶シリコン層のオーバーエッチにより第3の開口部内の第1の不純物領域をエッチングして第1の不純物領域表面に凹部を形成することにより、この第3の開口部における段差は、絶縁膜の厚さに凹部の深さが加わったものとなって他の開口部における段差よりも大きくなるため、後の工程においてバリアメタル層を堆積する際、他の開口部において良好なステップカバレッジが得られる一方、第3の開口部においてはステップカバレッジが悪化し、第3の開口部内の第1の不純物領域上に堆積されたバリアメタル層は局所的に薄膜化する。従って、バリアメタル構造のバイポーラトランジスタのバリア性を確保しつつ、ツェナーザップダイオードの破壊短絡が容易で破壊短絡後のオン抵抗値が安定な半導体装置が容易に作製される。

【0040】また、請求項8に係る半導体装置の製造方法においては、ベース領域を形成する工程において同時に第1の不純物領域を形成し、エミッタ領域を形成する工程において同時に第2の不純物領域を形成し、エミッタ電極部の多結晶シリコン層をパターンニングする工程において同時に第3の開口部内の第1の不純物領域表面に凹部を形成し、バリアメタル層を介して金属層からなるベース電極等を形成する工程において同時に第1及び第2の電極を形成すると共に、第1の電極と第1の不純物領域との間に介在するバリアメタル層を局所的に薄膜化している。このため、破壊短絡が容易で破壊短絡後のオン抵抗値が安定なツェナーザップダイオードが、エミッタ電極部にのみ多結晶シリコン層を使用しているバイポーラトランジスタを作製する従来の製造工程に何ら新たな工程を追加することなく、同一の半導体基板上に同時に作製される。

【0041】また、請求項9に係る半導体装置の製造方法は、上記請求項8に係る半導体装置の製造方法において、前記第4の工程の代わりに、多結晶シリコン層を所定の形状にパターンニングして、第1及び第2の開口部並びにこれらの周囲の絶縁膜上に多結晶シリコン層を残存させ、第3の開口部周囲の絶縁膜上に多結晶シリコン層を残存させ、第3の開口部の多結晶シリコン層を除去する第4の工程を有することを特徴とする。

【0042】このように請求項9に係る半導体装置の製造方法においては、第1の不純物領域上の第3の開口部周囲の絶縁膜上に多結晶シリコン層を残存させると共に、第3の開口部の多結晶シリコン層を除去することにより、この第3の開口部における段差は、絶縁膜の厚さに多結晶シリコン層の厚さが加わったものとなって他の開口部における段差よりも大きくなるため、後の工程に

においてバリアメタル層を堆積する際、他の開口部において良好なステップカバレッジが得られる一方、第3の開口部においてはステップカバレッジが悪化し、第3の開口部内の第1の不純物領域上に堆積されたバリアメタル層は局所的に薄膜化する。従って、上記請求項8の場合と同様に、バリアメタル構造のバイポーラトランジスタのバリア性を確保しつつ、ツェナーザップダイオードの破壊短絡が容易で破壊短絡後のオン抵抗値が安定な半導体装置が容易に作製される。

【0043】また、請求項9に係る半導体装置の製造方法においては、ベース領域を形成する工程において同時に第1の不純物領域を形成し、エミッタ領域を形成する工程において同時に第2の不純物領域を形成し、エミッタ電極部の多結晶シリコン層をパターンニングする工程において同時に第3の開口部周囲の絶縁膜上に多結晶シリコン層を残存させ、バリアメタル層を介して金属層からなるベース電極等を形成する工程において同時に第1及び第2の電極を形成すると共に、第1の電極と第1の不純物領域との間に介在するバリアメタル層を局所的に薄膜化している。このため、上記請求項8の場合と同様に、破壊短絡が容易で破壊短絡後のオン抵抗値が安定なツェナーザップダイオードが、エミッタ電極部にのみ多結晶シリコン層を使用しているバイポーラトランジスタを作製する従来の製造工程に何ら新たな工程を追加することなく、同一の半導体基板上に同時に作製される。

【0044】また、請求項10に係る半導体装置の製造方法は、上記請求項8に係る半導体装置の製造方法において、前記第4の工程の代わりに、多結晶シリコン層を所定の形状にパターンニングして、第1及び第2の開口部並びにこれらの周囲の絶縁膜上に多結晶シリコン層を残存させ、第3の開口部周囲の絶縁膜上に多結晶シリコン層を残存させ、第3の開口部の多結晶シリコン層を除去すると共に、多結晶シリコン層のオーバーエッチにより第3の開口部内の第1の不純物領域をエッチングして第1の不純物領域表面に凹部を形成する第4の工程を有することを特徴とする。

【0045】このように請求項10に係る半導体装置の製造方法においては、第1の不純物領域上の第3の開口部周囲の絶縁膜上に多結晶シリコン層を残存させ、第3の開口部の多結晶シリコン層を除去すると共に、この多結晶シリコン層のオーバーエッチにより第3の開口部内の第1の不純物領域をエッチングして第1の不純物領域表面に凹部を形成することにより、この第3の開口部における段差は、絶縁膜の厚さに多結晶シリコン層の厚さと凹部の深さが加わったものとなって他の開口部における段差よりも大きくなるため、後の工程においてバリアメタル層を堆積する際、他の開口部において良好なステップカバレッジが得られる一方、第3の開口部においてはステップカバレッジが悪化し、第3の開口部内の第1の不純物領域上に堆積されたバリアメタル層は上記請求

項8又は9の場合以上に局部的に薄膜化する。従って、バリアメタル構造のバイポーラトランジスタのバリア性を確保しつつ、ツェナーザップダイオードの破壊短絡が上記請求項8又は9の場合よりも更に容易で破壊短絡後のオン抵抗値が安定な半導体装置が容易に作製される。

【0046】また、請求項10に係る半導体装置の製造方法においては、ベース領域を形成する工程において同時に第1の不純物領域を形成し、エミッタ領域を形成する工程において同時に第2の不純物領域を形成し、エミッタ電極部の多結晶シリコン層をパターンニングする工程において同時に第3の開口部周囲の絶縁膜上に多結晶シリコン層を残存させると共に、第3の開口部内の第1の不純物領域表面に凹部を形成し、バリアメタル層を介して金属層からなるベース電極等を形成する工程において同時に第1及び第2の電極を形成すると共に、第1の電極と第1の不純物領域との間に介在するバリアメタル層を局部的に薄膜化している。このため、上記請求項8の場合と同様に、破壊短絡が容易で破壊短絡後のオン抵抗値が安定なツェナーザップダイオードが、エミッタ電極部にのみ多結晶シリコン層を使用しているバイポーラトランジスタを作製する従来の製造工程に何ら新たな工程を追加することなく、同一の半導体基板上に同時に作製される。

【0047】また、請求項11に係る半導体装置の製造方法は、PN接合をなす第1及び第2の不純物領域を有するツェナーザップダイオードとバイポーラトランジスタが同一の半導体基板上に混載されている半導体装置の製造方法であって、半導体基板表面にコレクタ領域を形成した後、第1導電型の不純物を選択的に添加して、コレクタ領域表面にベース領域を、半導体基板表面に第1の不純物領域をそれぞれ形成する第1の工程と、基体全面に堆積した絶縁膜を選択的に除去して、ベース領域上に第1の開口部を、第1の不純物領域上に第2の開口部をそれぞれ形成する第2の工程と、基体全面に多結晶シリコン層を堆積した後、多結晶シリコン層全面に第2導電型の不純物を添加する第3の工程と、多結晶シリコン層中の第2導電型の不純物を拡散して、ベース領域表面にエミッタ領域を、第1の不純物領域表面に第2の不純物領域をそれぞれ形成する第4の工程と、多結晶シリコン層を所定の形状にパターンニングして、第1及び第2の開口部並びにこれらの周囲の絶縁膜上に多結晶シリコン層を残存させ、第1の不純物領域上の第3の開口部形成予定領域周囲の絶縁膜上に多結晶シリコン層を残存させる第5の工程と、絶縁膜を選択的に除去して、第1の不純物領域上に第3の開口部を、ベース領域上に第4の開口部を、コレクタ領域上に第5の開口部をそれぞれ形成する第6の工程と、基体全面に順次堆積したバリアメタル層及び金属層を所定の形状にパターンニングして、第1及び第2の開口部の多結晶シリコン層上にバリアメタル層を介して金属層からなるエミッタ電極及び第2の電極

を、第3乃至第5の開口部にバリアメタル層を介して金属層からなる第1の電極、ベース電極及びコレクタ電極をそれぞれ形成する第7の工程とを有し、前記第7の工程においてバリアメタル層を堆積する際に、第3の開口部内の第1の不純物領域上に堆積されるバリアメタル層が局部的に薄膜化されるようにすることを特徴とする。

【0048】このように請求項11に係る半導体装置の製造方法においては、第1の不純物領域上の第3の開口部形成予定領域の周囲の絶縁膜上に多結晶シリコン層を残存させた後、絶縁膜を選択的に除去して第1の不純物領域上に第3の開口部を形成することにより、この第3の開口部における段差は、絶縁膜の厚さに多結晶シリコン層の厚さが加わったものとなって、他の開口部における段差よりも大きくなるため、後の工程においてバリアメタル層を堆積する際、他の開口部において良好なステップカバレッジが得られる一方、第3の開口部においてはステップカバレッジが悪化し、第3の開口部内の第1の不純物領域上に堆積されたバリアメタル層は局部的に薄膜化する。従って、上記請求項9の場合と同様に、バリアメタル構造のバイポーラトランジスタのバリア性を確保しつつ、ツェナーザップダイオードの破壊短絡が容易で破壊短絡後のオン抵抗値が安定な半導体装置が容易に作製される。

【0049】また、請求項11に係る半導体装置の製造方法においては、ベース領域を形成する工程において同時に第1の不純物領域を形成し、エミッタ領域を形成する工程において同時に第2の不純物領域を形成し、エミッタ電極部の多結晶シリコン層をパターンニングする工程において同時に第1の不純物領域上の第3の開口部形成予定領域の周囲の絶縁膜上に多結晶シリコン層を残存させ、バリアメタル層を介して金属層からなるベース電極等を形成する工程において同時に第1及び第2の電極を形成すると共に、第1の電極と第1の不純物領域との間に介在するバリアメタル層を局部的に薄膜化している。このため、破壊短絡が容易で破壊短絡後のオン抵抗値が安定なツェナーザップダイオードが、エミッタ電極部にのみ多結晶シリコン層を使用しているバイポーラトランジスタを作製する従来の製造工程に何ら新たな工程を追加することなく、同一の半導体基板上に同時に作製される。

【0050】なお、上記請求項11に係る半導体装置の製造方法において、前記第4の工程と前記第5の工程の順序を入れ替えて、第5の工程の後に第4の工程を行ってもよい。即ち、多結晶シリコン層からの不純物拡散を行い、エミッタ領域や第2の不純物領域を形成した後、多結晶シリコン層のパターンニングを行う代わりに、多結晶シリコン層のパターンニングを行った後に、多結晶シリコン層からの不純物拡散を行い、エミッタ領域や第2の不純物領域を形成してもよい。この場合も、上記請求項11の場合と同様の作用を奏する。

【0051】

【発明の実施の形態】以下、添付図面を参照しながら、本発明の実施の形態を説明する。

（第1の実施形態）図1は本発明の第1の実施の形態に係るツェナーザップダイオードとバイポーラトランジスタが同一の半導体基板上に混載されている半導体装置を示す断面図、図2は図1に示すツェナーザップダイオードの一部拡大図である。図1に示されるように、同一のP型Si基板11上に、NPNバイポーラトランジスタAとツェナーザップダイオードBが混載されている。

【0052】このNPNバイポーラトランジスタAは、P型Si基板11表面に形成されたN⁺型埋め込み層12と、このN⁺型埋め込み層12上に形成されたN型コレクタ領域13aと、N⁺型埋め込み層12に接続するコレクタ取出し用のN⁺型ブラグイン15と、N型コレクタ領域13a表面に形成されたP型ベース領域16aと、このP型ベース領域16aに隣接するP⁺型グラフトベース領域17aと、P型ベース領域16a表面に形成されたN⁺型エミッタ領域21aとから構成されている。また、N⁺型ブラグイン15表面にはN⁺型コレクタコンタクト領域22が形成され、P⁺型グラフトベース領域17a表面にはP⁺型ベースコンタクト領域（図示せず）が形成されている。

【0053】また、基体全面には絶縁膜19が堆積されていると共に、この絶縁膜19には各電極用の開口部が形成されている。そしてN⁺型エミッタ領域21a上には多結晶シリコン層20a及びTiONバリアメタル層24を介してA1合金層からなるエミッタ電極25aが、P⁺型グラフトベース領域17a上には多結晶シリコン層20b及びTiONバリアメタル層24を介してA1合金層からなるベース電極25bが、N⁺型コレクタコンタクト領域22上には多結晶シリコン層20c及びTiONバリアメタル層24を介してA1合金層からなるコレクタ電極25cが、それぞれ形成されている。即ち、このNPNバイポーラトランジスタAにおけるバリアメタル構造のエミッタ電極部、ベース電極部、及びコレクタ電極部には、全て多結晶シリコン層20a、20b、20cが使用されている。

【0054】他方、ツェナーザップダイオードBは、P型Si基板11上のN型エピタキシャル層13表面に隣接して形成されたP型不純物領域16b及びP⁺型グラフト不純物領域17bからなるアノード領域18と、P型不純物領域16b表面に形成されたN⁺型不純物領域からなるカソード領域21bとから構成されている。

【0055】また、基体全面には絶縁膜19が堆積されていると共に、この絶縁膜19には各電極用の開口部が形成されている。そしてアノード領域18のP⁺型グラフト不純物領域17b上にはTiONバリアメタル層24を介してA1合金層からなるアノード電極25eが、カソード領域21b上には多結晶シリコン層20d及び

TiONバリアメタル層24を介してA1合金層からなるカソード電極25dが、それぞれ形成されている。

【0056】また、図1及び図2に示されるように、ツェナーザップダイオードBのP⁺型グラフト不純物領域17b表面には凹部が形成されており、このP⁺型グラフト不純物領域17b上の絶縁膜19に形成された開口部における段差は絶縁膜19の厚さに凹部23の深さが加わったものとなっている。このため、このP⁺型グラフト不純物領域17b上の開口部における段差は、他のN⁺型エミッタ領域21a上、P⁺型グラフトベース領域17a上、及びN⁺型コレクタコンタクト領域22上の各開口部並びにこれらの周囲の絶縁膜19上における多結晶シリコン層20a、20b、20cのなす段差よりも大きくなっている。

【0057】そして、このP⁺型グラフト不純物領域17b上の開口部における段差が大きいことに伴い、図2に示されるように、P⁺型グラフト不純物領域17bとアノード電極25eとの間に介在するTiONバリアメタル層24は開口部の角部において局所的に薄膜化している点に本実施形態の特徴がある。更にまた、これらNPNバイポーラトランジスタAとツェナーザップダイオードBとは、N型エピタキシャル層13表面からP型Si基板11に達するP型アイソレーション14によって互いに素子分離されている。

【0058】次に、図1及び図2に示すバイポーラトランジスタAとツェナーザップダイオードBが同一の半導体基板上に混載されている半導体装置の製造方法を、図3～図5の工程断面図を用いて説明する。なお、この半導体装置の製造方法は、上記請求項4に対応するものである。

【0059】先ず、P型Si基板11表面にN型不純物を選択的に添加してN⁺型埋め込み層12を形成した後、これらP型Si基板11及びN⁺型埋め込み層12上に、N型エピタキシャル層13を成長させる。また、イオン注入法と拡散法を用い、N型エピタキシャル層13表面からP型Si基板11に達するP型アイソレーション14を形成して、NPNバイポーラトランジスタ領域とツェナーザップダイオード領域とに素子分離する。このため、NPNバイポーラトランジスタ領域のN型埋め込み層12上のN型エピタキシャル層13は、N型コレクタ領域13aとなる。また、イオン注入法と拡散法を用いて、N型エピタキシャル層13表面からN⁺型埋め込み層12に達するコレクタ取出し用のN⁺型ブラグイン15を形成する。

【0060】続いて、イオン注入法と拡散法を用いて、NPNバイポーラトランジスタ領域のN型コレクタ領域13a表面とツェナーザップダイオード領域のN型エピタキシャル層13表面にP型不純物を選択的に添加し、P型ベース領域16aとP型不純物領域16bとをそれぞれ同時に形成すると共に、P⁺型グラフトベース領域

17aとP⁺型グラフト不純物領域17bとをそれぞれ同時に形成する。こうしてツェナーザップダイオード領域のN型エピタキシャル層13表面に隣接して形成されたP型不純物領域16b及びP⁺型グラフト不純物領域17bからなるアノード領域18を形成する。

【0061】続いて、基体全面に絶縁膜19を堆積した後、フォトリソグラフィ技術とエッチング技術を用いて、絶縁膜19を選択的にエッチング除去し、P型ベース領域16a上、P⁺型グラフトベース領域17a上、N⁺型ブラグイン15上、P型不純物領域16b上、及びP⁺型グラフト不純物領域17b上に、それぞれ開口部を形成する。

【0062】続いて、基体全面に多結晶シリコン層20を堆積する。そして、フォトリソグラフィ技術とイオン注入法を用いて、P型ベース領域16a上、N⁺型ブラグイン15上、及びP型不純物領域16b上の開口部の多結晶シリコン層20に例えばAs⁺を選択的に注入する。また、同様にして、P⁺型グラフトベース領域17a上の開口部の多結晶シリコン層20に例えばBF₃⁺を選択的に注入する。なお、これらのAs⁺及びBF₃⁺をイオン注入する順序は、いずれを先にに行ってもよい(図2参照)。

【0063】次いで、拡散法を用いて、多結晶シリコン層20からAs及びBを拡散させて、P型ベース領域16a表面にN⁺型エミッタ領域21aを、N⁺型ブラグイン15表面にN⁺型コレクタコンタクト領域22を、P型不純物領域16b表面にN⁺型エミッタ領域21aに対応するN⁺型不純物領域からなるカソード領域21bを、それぞれ形成すると共に、P⁺型グラフトベース領域17a表面にP⁺型ベースコンタクト領域(図示せず)を形成する。

【0064】続いて、フォトリソグラフィ技術とエッチング技術を用いて、多結晶シリコン層20を所定の形状にパターンニングして、N⁺型エミッタ領域21a上、P⁺型グラフトベース領域17a上、N⁺型コレクタコンタクト領域22上、及びN⁺型不純物領域21b上のそれぞれ開口部並びにこれらの周囲の絶縁膜19上に、多結晶シリコン層20a、20b、20c、20dを残存させると共に、P型グラフト不純物領域17b上の開口部及びこの周囲の絶縁膜19上の多結晶シリコン層20を除去し、この開口部内のP型グラフト不純物領域17b表面を露出させる。更に、意図的に多結晶シリコン層20のオーバーエッチを行い、開口部内に露出したP型グラフト不純物領域17bをエッチングして、その表面に凹部23を形成する。

【0065】このとき、P型グラフト不純物領域17b上の開口部における段差は、絶縁膜19の厚さに凹部23の深さが加わったものとなるため、他のN⁺型エミッタ領域21a上、P⁺型グラフトベース領域17a上、N⁺型コレクタコンタクト領域22上、及びN⁺型不純

物領域21b上の各開口部並びにこれらの周囲の絶縁膜19上における多結晶シリコン層20a、20b、20c、20dのなす段差よりも大きくなる(図4参照)。

【0066】次いで、例えばスパッタ法を用いて、基体全面にTiONバリアメタル層及びAl合金層を順に堆積した後、これらAl合金層及びTiONバリアメタル層を所定の形状にパターンニングする。こうして、N⁺型エミッタ領域21a上に多結晶シリコン層20a及びTiONバリアメタル層24を介してAl合金層からなるエミッタ電極25aを、P⁺型グラフトベース領域17a上に多結晶シリコン層20b及びTiONバリアメタル層24を介してAl合金層からなるベース電極25bを、N⁺型コレクタコンタクト領域22上に多結晶シリコン層20c及びTiONバリアメタル層24を介してAl合金層からなるコレクタ電極25cを、N⁺型不純物領域21b上に多結晶シリコン層20d及びTiONバリアメタル層24を介してAl合金層からなるカソード電極25dを、P型グラフト不純物領域17b上にTiONバリアメタル層24を介してAl合金層からなるアノード電極25eを、それぞれ同時に形成する。

【0067】このとき、N⁺型エミッタ領域21a上、P⁺型グラフトベース領域17a上、N⁺型コレクタコンタクト領域22上、及びN⁺型不純物領域21b上の各開口部並びにこれらの周囲の絶縁膜19上における多結晶シリコン層20a、20b、20c、20dのなす段差は相対的に小さいことから、これらの多結晶シリコン層20a、20b、20c、20d上に堆積されるTiONバリアメタル層24は良好なステップカバレッジによりほぼ均一な膜厚となる。これに対して、P型グラフト不純物領域17b上の開口部における段差は相対的に大きいことから、ステップカバレッジが悪化して、この開口部内のP型グラフト不純物領域17b上に堆積されるTiONバリアメタル層24は開口部の角部において局所的に薄膜化する。

【0068】このようにして、上記図1及び図2に示されるNPNバイポーラトランジスタAとツェナーザップダイオードBが同一の半導体基板上に混載され半導体装置を作製する(図5参照)。

【0069】以上のように本実施形態によれば、アノード領域18のP型グラフト不純物領域17b上の開口部及びこの周囲の絶縁膜19上における多結晶シリコン層20を除去して、この開口部内のP型グラフト不純物領域17b表面を露出させる際に、意図的な多結晶シリコン層20のオーバーエッチによって開口部内に露出したP型グラフト不純物領域17bをエッチングしてその表面に凹部23を形成することにより、この開口部における段差は、絶縁膜19の厚さに凹部23の深さが加わったものとなって、他のN⁺型エミッタ領域21a上、P⁺型グラフトベース領域17a上、及びN⁺型コレクタコンタクト領域22上の各開口部並びにこれらの周囲の

絶縁膜19上における多結晶シリコン層20a、20b、20cのなす段差よりも大きくなる。

【0070】このため、TiONバリアメタル層24を堆積する際、段差が相対的に小さい多結晶シリコン層20a、20b、20c上に堆積されるTiONバリアメタル層24は良好なステップカバレッジによりほぼ均一な膜厚となる。他方、段差が相対的に大きいP型グラフト不純物領域17b上の開口部においては、ステップカバレッジを悪化させて、この開口部内のP型グラフト不純物領域17b上に堆積されるTiONバリアメタル層24を開口部の角部において局所的に薄膜化することができる。

【0071】従って、アノード領域18のP⁺型グラフト不純物領域17b上にTiONバリアメタル層24を介してA1合金層からなるアノード電極25eが形成されているバリアメタル構造のツェナーザップダイオードBであっても、このTiONバリアメタル層24が局所的に薄膜化された箇所を有していることにより、アノード電極25e及びカソード領域21b間に高電界の逆バイアスを印加した場合に、このTiONバリアメタル層24が局所的に薄膜化された箇所に電流集中が発生してTiONバリアメタル層24が破れると共に、それに伴う発熱によりアノード電極25eを構成するA1合金とSi基板のSiとが反応して、アノード電極25e及びカソード領域21b間を接続するA1フィラメントが形成され易くなる。

【0072】このようにして、バリアメタル構造のNPNバイポーラトランジスタAにおけるバリア性を確保しつつ、ツェナーザップ発生電流を低下させて、ツェナーザップダイオードの破壊短絡を容易にすると共に、破壊短絡後のオン抵抗値を安定化することが可能となる。

【0073】また、本実施形態によれば、P型ベース領域16a及びP⁺型グラフトベース領域17aをそれぞれ形成する工程において同時にアノード領域18を構成するP型不純物領域16b及びP⁺型グラフトベース領域17aをそれぞれ形成し、N⁺型エミッタ領域21aを形成する工程において同時にN⁺型不純物領域からなるカソード領域21bを形成し、エミッタ等の電極部の多結晶シリコン層20をパターニングする工程において同時にP型グラフト不純物領域17b上の開口部及びこの周囲の絶縁膜19上における多結晶シリコン層20を除去すると共に、この開口部内に露出したP型グラフト不純物領域17b表面に凹部23を形成し、TiONバリアメタル層24を介してA1合金層からなるエミッタ電極25a等を形成する工程において同時にカソード電極25d及びアノード電極25eを形成すると共に、P型グラフト不純物領域17bとアノード電極25eとの間に介在するTiONバリアメタル層24を局所的に薄膜化している。

【0074】従って、バリアメタル構造のエミッタ電極

部、ベース電極部、及びコレクタ電極部の全てに多結晶シリコン層20a、20b、20cが使用されているNPNバイポーラトランジスタAを作製する際に、従来の製造工程（上記図31～図33参照）に何ら新たな工程を追加することなく、アノード領域18のP型グラフト不純物領域17bとアノード電極25eとの間に介在するTiONバリアメタル層24が局所的に薄膜化された箇所を有しているツェナーザップダイオードBを同時に作製することができる。

【0075】なお、上記第1の実施形態においては、多結晶シリコン層20からAs及びBを拡散させてN⁺型エミッタ領域21a等やP⁺型ベースコンタクト領域を形成した後、多結晶シリコン層20をパターニングして多結晶シリコン層20a、20b、20c、20dを形成すると共に、開口部内に露出したP型グラフト不純物領域17b表面に凹部23を形成しているが、その順序を入れ替えてもよい。即ち、多結晶シリコン層20をパターニングして多結晶シリコン層20a、20b、20c、20dを形成すると共に、開口部内に露出したP型グラフト不純物領域17b表面に凹部23を形成した後、多結晶シリコン層20a、20b、20c、20dからAs及びBを拡散させてN⁺型エミッタ領域21a等やP⁺型ベースコンタクト領域を形成してもよい。

【0076】（第2の実施形態）図6は本発明の第2の実施の形態に係るツェナーザップダイオードとバイポーラトランジスタが同一の半導体基板上に混載されている半導体装置を示す断面図、図7は図6に示すツェナーザップダイオードの一部拡大図である。なお、上記図1及び図2に示す半導体装置と同一の構成要素には同一の符号を付して説明を省略する。

【0077】図6に示されるように、同一のP型Si基板11上に、NPNバイポーラトランジスタAとツェナーザップダイオードBが混載されている。このNPNバイポーラトランジスタAは、上記第1の実施形態の図1及び図2に示すものと同一の構成であるため、その説明は省略する。

【0078】他方、ツェナーザップダイオードBも、上記第1の実施形態の図1及び図2に示すものと同様に、P型不純物領域16b及びP⁺型グラフト不純物領域17bからなるアノード領域18とN⁺型不純物領域からなるカソード領域21bとから構成され、P⁺型グラフト不純物領域17b上にはTiONバリアメタル層24を介してA1合金層からなるアノード電極25eが、カソード領域21b上には多結晶シリコン層20d及びTiONバリアメタル層24を介してA1合金層からなるカソード電極25dが、それぞれ形成されている。

【0079】但し、上記第1の実施形態の図1及び図2に示すものと異なり、図6及び図7に示されるように、アノード領域18のP⁺型グラフト不純物領域17b上の開口部の周囲の絶縁膜19上に多結晶シリコン層20

10

20

30

40

50

eが形成され、このP⁺型グラフト不純物領域17b上に形成された開口部における段差は絶縁膜19の厚さに多結晶シリコン層20eの厚さが加わったものとなっている。このため、この段差は、他のN⁺型エミッタ領域21a上、P⁺型グラフトベース領域17a上、及びN⁺型コレクタコンタクト領域22上の各開口部並びにこれらの周囲の絶縁膜19上における多結晶シリコン層20a、20b、20cのなす段差よりも大きくなっている。

【0080】そして、このP⁺型グラフト不純物領域17b上の開口部における段差の大きいことに伴って、図7に示されるように、P⁺型グラフト不純物領域17bとアノード電極25eとの間に介在するTiONバリアメタル層24は開口部の角部において局所的に薄膜化している点に本実施形態の特徴がある。

【0081】次に、図6及び図7に示すツェナーザップダイオードとバイポーラトランジスタが同一の半導体基板上に混載されている半導体装置の製造方法を、図8～図10の工程断面図を用いて説明する。なお、この半導体装置の製造方法は、上記請求項5に対応するものである。

【0082】先ず、上記第1の実施形態の場合と同様にして、P型Si基板11表面にN⁺型埋め込み層12を形成し、N型エピタキシャル層13を成長させ、N型エピタキシャル層13表面からP型Si基板11に達するP型アイソレーション14を形成してNPNバイポーラトランジスタ領域とツェナーザップダイオード領域とに素子分離し、N型エピタキシャル層13表面からN⁺型埋め込み層12に達するコレクタ取出し用のN⁺型ブラグイン15を形成する。そして、N型コレクタ領域13a及びN型エピタキシャル層13表面に、P型ベース領域16a及びP型不純物領域16bをそれぞれ同時に形成すると共に、P⁺型グラフトベース領域17a及びP⁺型グラフト不純物領域17bをそれぞれ同時に形成して、隣接するP型不純物領域16b及びP⁺型グラフト不純物領域17bからなるアノード領域18を形成する。

【0083】続いて、基体全面に絶縁膜19を堆積した後、この絶縁膜19を選択的にエッチング除去して、P型ベース領域16a上、P⁺型グラフトベース領域17a上、N⁺型ブラグイン15上、P型不純物領域16b上、及びP⁺型グラフト不純物領域17b上に、それぞれ開口部を形成する。

【0084】続いて、基体全面に多結晶シリコン層20を堆積した後、P型ベース領域16a上、N⁺型ブラグイン15上、及びP型不純物領域16b上の開口部の多結晶シリコン層20に例えばAs⁺を選択的に注入すると共に、P⁺型グラフトベース領域17a上及びP型グラフト不純物領域17b上の開口部の多結晶シリコン層20に例えばBF₃⁺を選択的に注入する(図8参

照)。

【0085】次いで、多結晶シリコン層20からAs及びBを拡散させて、P型ベース領域16a表面にN⁺型エミッタ領域21aを、N⁺型ブラグイン15表面にN⁺型コレクタコンタクト領域22を、P型不純物領域16b表面にN⁺型不純物領域からなるカソード領域21bを、それぞれ形成すると同時に、P⁺型グラフトベース領域17a表面にP⁺型ベースコンタクト領域(図示せず)を、P型グラフト不純物領域17b表面にP⁺型アノードコンタクト領域(図示せず)を、それぞれ形成する。

【0086】続いて、多結晶シリコン層20を所定の形状にパターニングして、N⁺型エミッタ領域21a上、P⁺型グラフトベース領域17a上、N⁺型コレクタコンタクト領域22上、及びN⁺型不純物領域21b上のそれぞれ開口部並びにこれらの周囲の絶縁膜19上に、多結晶シリコン層20a、20b、20c、20dを残存させると共に、P型グラフト不純物領域17b上の開口部の周囲の絶縁膜19上の多結晶シリコン層20eを残存させる。そしてP型グラフト不純物領域17b上の開口部の多結晶シリコン層20を除去して、この開口部内のP型グラフト不純物領域17b表面を露出させる。

【0087】このとき、P型グラフト不純物領域17b上の開口部における段差は、絶縁膜19の厚さに多結晶シリコン層20eの厚さが加わったものとなるために、他のN⁺型エミッタ領域21a上、P⁺型グラフトベース領域17a上、N⁺型コレクタコンタクト領域22上、及びN⁺型不純物領域21b上の各開口部並びにこれらの周囲の絶縁膜19上における多結晶シリコン層20a、20b、20c、20dのなす段差よりも大きくなる(図9参照)。

【0088】次いで、基体全面にTiONバリアメタル層及びAl合金層を順に堆積した後、これらを所定の形状にパターニングして、N⁺型エミッタ領域21a上に多結晶シリコン層20a及びTiONバリアメタル層24を介してAl合金層からなるエミッタ電極25aを、P⁺型グラフトベース領域17a上に多結晶シリコン層20b及びTiONバリアメタル層24を介してAl合金層からなるベース電極25bを、N⁺型コレクタコンタクト領域22上に多結晶シリコン層20c及びTiONバリアメタル層24を介してAl合金層からなるコレクタ電極25cを、N⁺型不純物領域21b上に多結晶シリコン層20d及びTiONバリアメタル層24を介してAl合金層からなるカソード電極25dを、P型グラフト不純物領域17b上にTiONバリアメタル層24を介してAl合金層からなるアノード電極25eを、それぞれ同時に形成する。

【0089】このとき、多結晶シリコン層20a、20b、20c、20dのなす段差は相対的に小さいことから、これらの多結晶シリコン層20a、20b、20

c、20d上に堆積されるTiONバリアメタル層24は良好なステップカバレッジによりほぼ均一な膜厚となる。これに対して、P型グラフト不純物領域17b上の開口部における段差は相対的に大きいことから、ステップカバレッジが悪化して、この開口部内のP型グラフト不純物領域17b上に堆積されるTiONバリアメタル層24は開口部の角部において局所的に薄膜化する。

【0090】このようにして、上記図6及び図7に示されるNPNバイポーラトランジスタAとツェナーザップダイオードBが同一の半導体基板上に混載され半導体装置を作製する(図10参照)。

【0091】以上のように本実施形態によれば、アノード領域18のP型グラフト不純物領域17b上の開口部の多結晶シリコン層20を除去する際に、この開口部の周囲の絶縁膜19上に多結晶シリコン層20eを残存させることにより、この開口部における段差は、絶縁膜19の厚さに多結晶シリコン層20eの厚さが加わったものとなって、他の各開口部並びにこれらの周囲の絶縁膜19上における多結晶シリコン層20a、20b、20cのなす段差よりも大きくなるため、TiONバリアメタル層24を堆積する際、段差が相対的に小さい多結晶シリコン層20a、20b、20c上に堆積されるTiONバリアメタル層24は良好なステップカバレッジによりほぼ均一な膜厚となる。他方、段差が相対的に大きいP型グラフト不純物領域17b上の開口部においては、ステップカバレッジを悪化させて、この開口部内のP型グラフト不純物領域17b上に堆積されるTiONバリアメタル層24を開口部の角部において局所的に薄膜化することができる。

【0092】従って、上記第1の実施形態の場合と同様に、バリアメタル構造のツェナーザップダイオードBであっても、このTiONバリアメタル層24が局所的に薄膜化された箇所を有していることにより、アノード電極25e及びカソード領域21b間に高電界の逆バイアスを印加した場合に、両電極間を接続するA1フィラメントが形成され易くなるため、バリアメタル構造のNPNバイポーラトランジスタAにおけるバリア性を確保しつつ、ツェナーザップダイオードの破壊短絡を容易にし、破壊短絡後のオン抵抗値を安定化することが可能となる。

【0093】また、本実施形態によれば、P型ベース領域16a及びP⁺型グラフトベース領域17aをそれぞれ形成する工程において同時にアノード領域18を構成するP型不純物領域16b及びP⁺型グラフトベース領域17aをそれぞれ形成し、N⁺型エミッタ領域21aを形成する工程において同時にN⁺型不純物領域からなるカソード領域21bを形成し、エミッタ等の電極部の多結晶シリコン層20をバターンニングする工程において同時にP型グラフト不純物領域17b上の開口部の多結晶シリコン層20を除去すると共に、この開口部の周囲

の絶縁膜19上に多結晶シリコン層20eを残存させ、TiONバリアメタル層24を介してA1合金層からなるエミッタ電極25a等を形成する工程において同時にカソード電極25d及びアノード電極25eを形成すると共に、P型グラフト不純物領域17bとアノード電極25eとの間に介在するTiONバリアメタル層24を局所的に薄膜化している。

【0094】従って、上記第1の実施形態の場合と同様に、バリアメタル構造のエミッタ電極部、ベース電極部、及びコレクタ電極部の全てに多結晶シリコン層20a、20b、20cが使用されているNPNバイポーラトランジスタAを作製する際に、従来の製造工程に何ら新たな工程を追加することなく、アノード領域18のP型グラフト不純物領域17bとアノード電極25eとの間に介在するTiONバリアメタル層24が局所的に薄膜化された箇所を有しているツェナーザップダイオードBを同時的に作製することができる。

【0095】なお、上記第2の実施形態においては、多結晶シリコン層20からAs及びBを拡散させてN⁺型エミッタ領域21a等やP⁺型ベースコンタクト領域等を形成した後、多結晶シリコン層20をバターンニングして多結晶シリコン層20a、20b、20c、20dを形成し、P型グラフト不純物領域17b上の開口部の周囲の絶縁膜19上の多結晶シリコン層20eを残存させると共に、開口部内のP型グラフト不純物領域17b表面を露出させているが、その順序を入れ替えてもよい。即ち、多結晶シリコン層20をバターンニングして多結晶シリコン層20a、20b、20c、20dを形成し、P型グラフト不純物領域17b上の開口部の周囲の絶縁膜19上の多結晶シリコン層20eを残存させると共に、開口部内のP型グラフト不純物領域17b表面に凹部23を露出させた後、多結晶シリコン層20a、20b、20c、20dからAs及びBを拡散させてN⁺型エミッタ領域21a等やP⁺型ベースコンタクト領域を形成してもよい。

【0096】(第3の実施形態)図11は本発明の第3の実施の形態に係るツェナーザップダイオードとバイポーラトランジスタが同一の半導体基板上に混載されている半導体装置を示す断面図、図12は図11に示すツェナーザップダイオードの一部拡大図である。なお、上記図1及び図2に示す半導体装置と同一の構成要素には同一の符号を付して説明を省略する。

【0097】図11に示されるように、同一のP型Si基板11上に、NPNバイポーラトランジスタAとツェナーザップダイオードBが混載されている。このNPNバイポーラトランジスタAは、上記第1の実施形態の図1に示すものと同一の構成であるため、その説明は省略する。

【0098】他方、ツェナーザップダイオードBも、上記第1の実施形態の図1に示すものと同様に、P型不純

物領域16b及びP⁺型グラフト不純物領域17bからなるアノード領域18とN⁺型不純物領域からなるカソード領域21bとから構成され、P⁺型グラフト不純物領域17b上にはTiONバリアメタル層24を介してA1合金層からなるアノード電極25eが、カソード領域21b上には多結晶シリコン層20d及びTiONバリアメタル層24を介してA1合金層からなるカソード電極25dが、それぞれ形成されている。

【0099】但し、上記第1の実施形態の図1及び図2に示すものと異なり、図11及び図12に示されるように、ツェナーザップダイオードBのP⁺型グラフト不純物領域17b表面に凹部が形成されていると共に、このP⁺型グラフト不純物領域17b上の開口部の周辺の絶縁膜19上に多結晶シリコン層20eが形成され、このP⁺型グラフト不純物領域17b上に形成された開口部における段差は絶縁膜19の厚さに凹部の深さと多結晶シリコン層20eの厚さが加わったものとなっている。このため、この段差は、他のN⁺型エミッタ領域21a上、P⁺型グラフトベース領域17a上、及びN⁺型コレクタコンタクト領域22上の各開口部並びにこれらの周囲の絶縁膜19上における多結晶シリコン層20a、20b、20cのなす段差よりも大きくなっている。

【0100】そして、このP⁺型グラフト不純物領域17b上の開口部における段差が大きいことに伴って、図12に示されるように、P⁺型グラフト不純物領域17bとアノード電極25eとの間に介在するTiONバリアメタル層24は開口部の角部において局所的に薄膜化している点に本実施形態の特徴がある。

【0101】次に、図11及び図12に示すツェナーザップダイオードとバイポーラトランジスタが同一の半導体基板上に混載されている半導体装置の製造方法を、図13～図15の工程断面図を用いて説明する。なお、この半導体装置の製造方法は、上記請求項6に対応するものである。

【0102】上記第1の実施形態の図3に示す工程と同様にして、P型Si基板11表面にN⁺型埋め込み層12を形成し、N型エピタキシャル層13を成長させ、P型アイソレーション14を形成してNPNバイポーラトランジスタ領域とツェナーザップダイオード領域とに素子分離し、コレクタ取出し用のN⁺型ブラグイン15を形成する。そして、P型ベース領域16a及びP型不純物領域16bをそれぞれ同時に形成すると共に、P⁺型グラフトベース領域17a及びP⁺型グラフト不純物領域17bをそれぞれ同時に形成して、隣接するP型不純物領域16b及びP⁺型グラフト不純物領域17bからなるアノード領域18を形成した後、基体全面に堆積した絶縁膜19を選択的にエッチング除去して、P型ベース領域16a上、P⁺型グラフトベース領域17a上、N⁺型ブラグイン15上、P型不純物領域16b上、及びP⁺型グラフト不純物領域17b上に、それぞれ開口

部を形成する。そして、基体全面に多結晶シリコン層20を堆積した後、P型ベース領域16a上、N⁺型ブラグイン15上、及びP型不純物領域16b上の開口部の多結晶シリコン層20に例えばAs⁺を選択的に注入すると共に、P⁺型グラフトベース領域17a上の開口部の多結晶シリコン層20に例えばBF₃⁺を選択的に注入する(図13参照)。

【0103】次いで、多結晶シリコン層20からAs及びBを拡散させて、P型ベース領域16a表面にN⁺型エミッタ領域21aを、N⁺型ブラグイン15表面にN⁺型コレクタコンタクト領域22を、P型不純物領域16b表面にN⁺型不純物領域からなるカソード領域21bを、P⁺型グラフトベース領域17a表面にP⁺型ベースコンタクト領域(図示せず)を、それぞれ同時に形成する。

【0104】続いて、多結晶シリコン層20を所定の形状にパターニングして、N⁺型エミッタ領域21a上、P⁺型グラフトベース領域17a上、N⁺型コレクタコンタクト領域22上、及びN⁺型不純物領域21b上のそれぞれ開口部並びにこれらの周囲の絶縁膜19上に多結晶シリコン層20a、20b、20c、20dを残存させると共に、P型グラフト不純物領域17b上の開口部の周囲の絶縁膜19上の多結晶シリコン層20eを残存させる。そしてP型グラフト不純物領域17b上の開口部の多結晶シリコン層20を除去し、この開口部内のP型グラフト不純物領域17b表面を露出させる。更に、意図的に多結晶シリコン層20のオーバーエッチを行い、開口部内に露出したP型グラフト不純物領域17bをエッチングして、その表面に凹部23を形成する。

【0105】このとき、P型グラフト不純物領域17b上の開口部における段差は、絶縁膜19の厚さに多結晶シリコン層20eの厚さと凹部23の深さが加わったものとなるため、他のN⁺型エミッタ領域21a上、P⁺型グラフトベース領域17a上、N⁺型コレクタコンタクト領域22上、及びN⁺型不純物領域21b上の各開口部並びにこれらの周囲の絶縁膜19上における多結晶シリコン層20a、20b、20c、20dのなす段差よりも大きくなる(図14参照)。

【0106】次いで、基体全面にTiONバリアメタル層及びA1合金層を順に堆積した後、これらを所定の形状にパターニングして、N⁺型エミッタ領域21a上に多結晶シリコン層20a及びTiONバリアメタル層24を介してA1合金層からなるエミッタ電極25aを、P⁺型グラフトベース領域17a上に多結晶シリコン層20b及びTiONバリアメタル層24を介してA1合金層からなるベース電極25bを、N⁺型コレクタコンタクト領域22上に多結晶シリコン層20c及びTiONバリアメタル層24を介してA1合金層からなるコレクタ電極25cを、N⁺型不純物領域21b上に多結晶シリコン層20d及びTiONバリアメタル層24を介

してAl合金層からなるカソード電極25dを、P型グラフト不純物領域17b上にTiONバリアメタル層24を介してAl合金層からなるアノード電極25eを、それぞれ形成する。

【0107】このとき、多結晶シリコン層20a、20b、20c、20dのなす段差は相対的に小さいことから、これらの多結晶シリコン層20a、20b、20c、20d上に堆積されるTiONバリアメタル層24はほぼ均一な膜厚となり、良好なステップカバレッジを得ることができる。これに対して、P型グラフト不純物領域17b上の開口部における段差は相対的に大きいことから、ステップカバレッジが悪化して、この開口部内のP型グラフト不純物領域17b上に堆積されるTiONバリアメタル層24は開口部の角部において局所的に薄膜化する。

【0108】このようにして、上記図11及び図12に示されるNPNバイポーラトランジスタAとツェナーザップダイオードBが同一の半導体基板上に混載され半導体装置を作製する(図15参照)。

【0109】以上のように本実施形態によれば、アノード領域18のP型グラフト不純物領域17b上の開口部の多結晶シリコン層20を除去する際に、この開口部の周囲の絶縁膜19上に多結晶シリコン層20eを残存させると共に、意図的な多結晶シリコン層20のオーバーエッチによって開口部内に露出したP型グラフト不純物領域17bをエッチングしてその表面に凹部23を形成することにより、この開口部における段差は、絶縁膜19の厚さに多結晶シリコン層20eの厚さと凹部23の深さが加わったものとなって、他のN⁺型エミッタ領域21a上、P⁺型グラフトベース領域17a上、及びN⁺型コレクタコンタクト領域22上の各開口部並びにこれらの周囲の絶縁膜19上における多結晶シリコン層20a、20b、20cのなす段差よりも大きくなるため、TiONバリアメタル層24を堆積する際、段差が相対的に小さい多結晶シリコン層20a、20b、20c上に堆積されるTiONバリアメタル層24は良好なステップカバレッジによりほぼ均一な膜厚となる。他方、段差が相対的に大きいP型グラフト不純物領域17b上の開口部においては、上記第1又は第2の実施形態の場合以上にステップカバレッジを悪化させて、この開口部内のP型グラフト不純物領域17b上に堆積されるTiONバリアメタル層24を開口部の角部において局所的に薄膜化することができる。

【0110】従って、バリアメタル構造のツェナーザップダイオードBであっても、このTiONバリアメタル層24が局所的に薄膜化された箇所を有していることにより、アノード電極25e及びカソード領域21b間に高電界の逆バイアスを印加した場合、両電極間を接続するAlフィラメントが形成され易くなるため、バリアメタル構造のNPNバイポーラトランジスタAにおけるバ

リア性を確保しつつ、ツェナーザップダイオードの破壊短絡を上記第1又は第2の実施形態の場合以上に容易にし、破壊短絡後のオン抵抗値を安定化することが可能となる。

【0111】また、本実施形態によれば、P型ベース領域16a及びP⁺型グラフトベース領域17aをそれぞれ形成する工程において同時にアノード領域18を構成するP型不純物領域16b及びP⁺型グラフトベース領域17aをそれぞれ形成し、N⁺型エミッタ領域21aを形成する工程において同時にN⁺型不純物領域からなるカソード領域21bを形成し、エミッタ等の電極部の多結晶シリコン層20をパターニングする工程において同時にP型グラフト不純物領域17b上の開口部の多結晶シリコン層20を除去すると共に、この開口部の周囲の絶縁膜19上に多結晶シリコン層20eを残存させ、更にこの開口部内に露出したP型グラフト不純物領域17b表面に凹部23を形成し、TiONバリアメタル層24を介してAl合金層からなるエミッタ電極25a等を形成する工程において同時にカソード電極25d及びアノード電極25eを形成すると共に、P型グラフト不純物領域17bとアノード電極25eとの間に介在するTiONバリアメタル層24を局所的に薄膜化している。

【0112】従って、上記第1の実施形態の場合と同様に、バリアメタル構造のエミッタ電極部、ベース電極部、及びコレクタ電極部の全てに多結晶シリコン層20a、20b、20cが使用されているNPNバイポーラトランジスタAを作製する際に、従来の工程に何ら新たな工程を追加することなく、アノード領域18のP型グラフト不純物領域17bとアノード電極25eとの間に介在するTiONバリアメタル層24が局所的に薄膜化された箇所を有しているツェナーザップダイオードBを同時に作製することができる。

【0113】なお、上記第3の実施形態においては、多結晶シリコン層20からAs及びBを拡散させてN⁺型エミッタ領域21a等やP⁺型ベースコンタクト領域を形成した後、多結晶シリコン層20をパターニングして多結晶シリコン層20a、20b、20c、20dを形成し、P型グラフト不純物領域17b上の開口部の周囲の絶縁膜19上の多結晶シリコン層20eを残存させると共に、開口部内に露出したP型グラフト不純物領域17b表面に凹部23を形成しているが、その順序を入れ替えてもよい。即ち、多結晶シリコン層20をパターニングして多結晶シリコン層20a、20b、20c、20dを形成し、P型グラフト不純物領域17b上の開口部の周囲の絶縁膜19上の多結晶シリコン層20eを残存させると共に、開口部内に露出したP型グラフト不純物領域17b表面に凹部23を形成した後、多結晶シリコン層20a、20b、20c、20dからAs及びBを拡散させN⁺型エミッタ領域21a等やP⁺型ベース

コンタクト領域を形成してもよい。

【0114】(第4の実施形態)図16は本発明の第4の実施の形態に係るツェナーザップダイオードとバイポーラトランジスタが同一の半導体基板上に混載されている半導体装置を示す断面図である。なお、図16に示すツェナーザップダイオードの一部拡大図は、上記図2と同様であるため、図示は省略する。また、上記図1及び図2に示す半導体装置と同一の構成要素には同一の符号を付して説明を省略する。図16に示されるように、同一のP型Si基板11上に、NPNバイポーラトランジスタAとツェナーザップダイオードBが混載されている。

【0115】このNPNバイポーラトランジスタAは、上記第1の実施形態の図1に示すものと同様に、P型Si基板11表面に形成されたN⁺型埋め込み層12と、このN⁺型埋め込み層12上に形成されたN型コレクタ領域13aと、N⁺型埋め込み層12に接続するコレクタ取出し用のN⁺型ブラグイン15と、N型コレクタ領域13a表面に形成された隣接するP型ベース領域16a及びP⁺型グラフトベース領域17aと、P型ベース領域16a表面に形成されたN⁺型エミッタ領域21aとから構成されている。また、N⁺型ブラグイン15表面にはN⁺型コレクタコンタクト領域22が形成されている。

【0116】但し、上記第1の実施形態の図1に示すものと異なり、図16に示されるように、N⁺型エミッタ領域21a上には多結晶シリコン層20a及びTiONバリアメタル層24を介してA1合金層からなるエミッタ電極25aが、P⁺型グラフトベース領域17a上にはTiONバリアメタル層24を介してA1合金層からなるベース電極25bが、N⁺型コレクタコンタクト領域22上にはTiONバリアメタル層24を介してA1合金層からなるコレクタ電極25cが、それぞれ形成されている。即ち、このNPNバイポーラトランジスタAにおけるバリアメタル構造のエミッタ電極部、ベース電極部、及びコレクタ電極部のうち、エミッタ電極部にのみ多結晶シリコン層20aが使用されている。

【0117】他方、ツェナーザップダイオードBは、上記第1の実施形態の図1及び図2に示すものと同一の構成である。即ち、P型Si基板11上のN型エピタキシャル層13表面に隣接して形成されたP型不純物領域16b及びP⁺型グラフト不純物領域17bからなるアノード領域18と、P型不純物領域16b表面に形成されたN⁺型不純物領域からなるカソード領域21bとから構成され、P⁺型グラフト不純物領域17b上にはTiONバリアメタル層24を介してA1合金層からなるアノード電極25eが、カソード領域21b上には多結晶シリコン層20d及びTiONバリアメタル層24を介してA1合金層からなるカソード電極25dが、それぞれ形成されている。

【0118】また、P⁺型グラフト不純物領域17b表面には凹部が形成されており、このP⁺型グラフト不純物領域17b上の絶縁膜19に形成された開口部における段差は絶縁膜19の厚さに凹部23の深さが加わったものとなっている。このため、P⁺型グラフト不純物領域17b上の開口部における段差は、他のN⁺型エミッタ領域21a上の開口部及びこの周囲の絶縁膜19上における多結晶シリコン層20aのなす段差よりも、またP⁺型グラフトベース領域17a上及びN⁺型コレクタコンタクト領域22上の各開口部における段差よりも相対的に大きくなっている。そして、P⁺型グラフト不純物領域17b上の開口部における段差が大きいことに伴って、P⁺型グラフト不純物領域17bとA1合金層からなるアノード電極25eとの間に介在するTiONバリアメタル層24は開口部の角部において局所的に薄膜化している点に本実施形態の特徴がある。

【0119】次に、図16に示すバイポーラトランジスタAとツェナーザップダイオードBが同一の半導体基板上に混載されている半導体装置の製造方法を、図17～図19の工程断面図を用いて説明する。なお、この半導体装置の製造方法は、上記請求項8に対応するものである。

【0120】まず、上記第1の実施形態の場合と同様にして、P型Si基板11表面にN⁺型埋め込み層12を形成し、N型エピタキシャル層13を成長させ、N型エピタキシャル層13表面からP型Si基板11に達するP型アイソレーション14を形成してNPNバイポーラトランジスタ領域とツェナーザップダイオード領域とに素子分離し、N型エピタキシャル層13表面からN⁺型埋め込み層12に達するコレクタ取出し用のN⁺型ブラグイン15を形成する。そして、N型コレクタ領域13a及びN型エピタキシャル層13表面に、P型ベース領域16a及びP型不純物領域16bをそれぞれ同時に形成すると共に、P⁺型グラフトベース領域17a及びP⁺型グラフト不純物領域17bをそれぞれ同時に形成して、隣接するP型不純物領域16b及びP⁺型グラフト不純物領域17bからなるアノード領域18を形成する。

【0121】続いて、基体全面に絶縁膜19を堆積した後、この絶縁膜19を選択的にエッチング除去して、P型ベース領域16a上、P型不純物領域16b上、及びP⁺型グラフト不純物領域17b上に、それぞれ開口部を形成する。そして、基体全面に多結晶シリコン層20を堆積した後、この多結晶シリコン層20全面に例えばAs⁺を注入する(図17参照)。

【0122】次いで、多結晶シリコン層20を所定の形状にパターニングして、P型ベース領域16a上及びP型不純物領域16b上の各開口部並びにこれらの周囲の絶縁膜19上に、多結晶シリコン層20a、20dを残存させると共に、P型グラフト不純物領域17b上の開

口部及びこの周囲の絶縁膜19上の多結晶シリコン層20を除去して、この開口部内のP型グラフト不純物領域17b表面を露出させる。更に、意図的に多結晶シリコン層20のオーバーエッチを行い、開口部内に露出したP型グラフト不純物領域17bをエッチングして、その表面に凹部23を形成する。

【0123】このとき、P型グラフト不純物領域17b上の開口部における段差は、絶縁膜19の厚さに凹部23の深さが加わったものとなるため、他のP型ベース領域16a上及びP型不純物領域16b上の各開口部並びにこれらの周囲の絶縁膜19上における多結晶シリコン層20a、20dのなす段差よりも大きくなる。続いて、多結晶シリコン層20a、20dからAsを拡散させ、P型ベース領域16a表面にN⁺型エミッタ領域21aを、P型不純物領域16b表面にN⁺型不純物領域からなるカソード領域21bを、それぞれ同時に形成する(図18参照)。

【0124】次いで、絶縁膜19を選択的にエッチング除去し、P⁺型グラフトベース領域17a上及びN⁺型ブラグイン15上に、それぞれ開口部を形成する。続いて、基体全面にTiONバリアメタル層及びAl合金層を順に堆積した後、これらを所定の形状にパターンニングして、N⁺型エミッタ領域21a上に多結晶シリコン層20a及びTiONバリアメタル層24を介してAl合金層からなるエミッタ電極25aを、P⁺型グラフトベース領域17a上にTiONバリアメタル層24を介してAl合金層からなるベース電極25bを、N⁺型ブラグイン15上にTiONバリアメタル層24を介してAl合金層からなるコレクタ電極25cを、N⁺型不純物領域21b上に多結晶シリコン層20d及びTiONバリアメタル層24を介してAl合金層からなるカソード電極25dを、P型グラフト不純物領域17b上にTiONバリアメタル層24を介してAl合金層からなるアノード電極25eを、それぞれ同時に形成する。

【0125】このとき、N⁺型エミッタ領域21a上及びN⁺型不純物領域21b上の各開口部並びにこれらの周囲の絶縁膜19上における多結晶シリコン層20a、20dのなす段差は相対的に小さく、P⁺型グラフトベース領域17a上及びN⁺型ブラグイン15上の各開口部における段差も相対的に小さいことから、これらの多結晶シリコン層20a、20d上並びにP⁺型グラフトベース領域17a上及びN⁺型ブラグイン15上に堆積されるTiONバリアメタル層24は良好なステップカバレッジによりほぼ均一な膜厚となる。これに対して、P型グラフト不純物領域17b上の開口部における段差は相対的に大きいことから、ステップカバレッジが悪化して、この開口部内のP型グラフト不純物領域17b上に堆積されるTiONバリアメタル層24は開口部の角部において局所的に薄膜化する。

【0126】このようにして、上記図16に示されるN

PNバイポーラトランジスタAとツェナーザップダイオードBが同一の半導体基板上に混載され半導体装置を作製する(図19参照)。

【0127】以上のように本実施形態によれば、アノード領域18のP型グラフト不純物領域17b上の開口部及びこの周囲の絶縁膜19上における多結晶シリコン層20を除去して、この開口部内のP型グラフト不純物領域17b表面を露出させる際に、意図的な多結晶シリコン層20のオーバーエッチによって開口部内に露出したP型グラフト不純物領域17bをエッチングしてその表面に凹部23を形成することにより、この開口部における段差は、絶縁膜19の厚さに凹部23の深さが加わったものとなって、他のN⁺型エミッタ領域21a上の開口部及びこの周囲の絶縁膜19上における多結晶シリコン層20aのなす段差よりも、またP⁺型グラフトベース領域17a上及びN⁺型ブラグイン15上の各開口部における段差よりも大きくなる。このため、TiONバリアメタル層24を堆積する際、段差が相対的に小さい多結晶シリコン層20a上に堆積されるTiONバリアメタル層24も、また段差が相対的に小さい開口部内のP⁺型グラフトベース領域17a上及びN⁺型ブラグイン15上に堆積されるTiONバリアメタル層24も、共に良好なステップカバレッジによりほぼ均一な膜厚となる。他方、段差が相対的に大きいP型グラフト不純物領域17b上の開口部においては、ステップカバレッジを悪化させて、この開口部内のP型グラフト不純物領域17b上に堆積されるTiONバリアメタル層24を開口部の角部において局所的に薄膜化することができる。

【0128】従って、上記第1の実施形態の場合と同様に、バリアメタル構造のツェナーザップダイオードBであっても、TiONバリアメタル層24が局所的に薄膜化された箇所を有していることにより、アノード電極25e及びカソード領域21b間に高電界の逆バイアスを印加した場合に、両電極間を接続するAlフィラメントが形成され易くなるため、バリアメタル構造のNPNバイポーラトランジスタAにおけるバリア性を確保しつつ、ツェナーザップダイオードの破壊短絡を容易にし、破壊短絡後のオン抵抗値を安定化することが可能となる。

【0129】また、本実施形態によれば、P型ベース領域16a及びP⁺型グラフトベース領域17aをそれぞれ形成する工程において同時にアノード領域18を構成するP型不純物領域16b及びP⁺型グラフトベース領域17aをそれぞれ形成し、N⁺型エミッタ領域21aを形成する工程において同時にN⁺型不純物領域からなるカソード領域21bを形成し、エミッタ等の電極部の多結晶シリコン層20をパターンニングする工程において同時にP型グラフト不純物領域17b上の開口部及びこの周囲の絶縁膜19上における多結晶シリコン層20を除去すると共に、この開口部内に露出したP型グラフト

10

20

30

40

50

不純物領域17b表面に凹部23を形成し、TiONバリアメタル層24を介してAl合金層からなるエミッタ電極25a等を形成する工程において同時にカソード電極25d及びアノード電極25eを形成すると共に、P型グラフト不純物領域17bとアノード電極25eとの間に介在するTiONバリアメタル層24を局部的に薄膜化している。

【0130】従って、バリアメタル構造のエミッタ電極部、ベース電極部、及びコレクタ電極部のうち、エミッタ電極部にのみ多結晶シリコン層20aが使用されているNPNバイポーラトランジスタAを作製する際に、従来の製造工程（上記図34～図36参照）に何ら新たな工程を追加することなく、アノード領域18のP型グラフト不純物領域17bとアノード電極25eとの間に介在するTiONバリアメタル層24が局部的に薄膜化された箇所を有しているツェナーザップダイオードBを同時に作製することができる。

【0131】（第5の実施形態）図20は本発明の第5の実施の形態に係るツェナーザップダイオードとバイポーラトランジスタが同一の半導体基板上に混載されている半導体装置を示す断面図である。なお、図20に示すツェナーザップダイオードの一部拡大図は、上記図7と同様であるため、図示は省略する。また、上記図6及び図7に示す半導体装置と同一の構成要素には同一の符号を付して説明を省略する。図20に示されるように、同一のP型Si基板11上に、NPNバイポーラトランジスタAとツェナーザップダイオードBが混載されている。

【0132】このNPNバイポーラトランジスタAは、上記第4の実施形態の図16に示すものと同一の構成であるため、その説明は省略する。他方、ツェナーザップダイオードBは、上記第2の実施形態の図6及び図7に示すものと同一の構成である。即ち、アノード領域18のP⁺型グラフト不純物領域17b上の開口部の周辺の絶縁膜19上に多結晶シリコン層20eが形成されており、このP⁺型グラフト不純物領域17b上に形成された開口部における段差は絶縁膜19の厚さに多結晶シリコン層20eの厚さが加わったものとなっている。このため、P⁺型グラフト不純物領域17b上の開口部における段差は、他のN⁺型エミッタ領域21a上の開口部及びこの周囲の絶縁膜19上における多結晶シリコン層20aのなす段差よりも、またP⁺型グラフトベース領域17a上及びN⁺型ブラグイン15上の各開口部における段差よりも相対的に大きくなっている。

【0133】そして、上記第2の実施形態の場合と同様に、P⁺型グラフト不純物領域17b上の開口部における段差が大きいに伴って、P⁺型グラフト不純物領域17bとAl合金層からなるアノード電極25eとの間に介在するTiONバリアメタル層24は開口部の角部において局部的に薄膜化している点に本実施形態の特

徴がある。

【0134】次に、図20に示すツェナーザップダイオードとバイポーラトランジスタが同一の半導体基板上に混載されている半導体装置の第1の製造方法を、図21～図23の工程断面図を用いて説明する。なお、この半導体装置の第1の製造方法は、上記請求項9に対応するものである。

【0135】上記第4の実施形態の図17に示す工程と同様にして、P型Si基板11表面にN⁺型埋め込み層12を形成し、N型エピタキシャル層13を成長させ、P型アイソレーション14を形成してNPNバイポーラトランジスタ領域とツェナーザップダイオード領域とに素子分離し、コレクタ取出し用のN⁺型ブラグイン15を形成する。そして、P型ベース領域16aとP型不純物領域16bをそれぞれ同時に形成すると共に、P⁺型グラフトベース領域17aとP⁺型グラフト不純物領域17bをそれぞれ同時に形成して、隣接するP型不純物領域16b及びP⁺型グラフト不純物領域17bからなるアノード領域18を形成する。そして、基体全面に堆積した絶縁膜19を選択的にエッチング除去して、P型ベース領域16a上、P型不純物領域16b上、及びP⁺型グラフト不純物領域17b上に、それぞれ開口部を形成する。そして、基体全面に堆積した多結晶シリコン層20全面に例えばAs⁺を注入する（図21参照）。

【0136】次いで、多結晶シリコン層20を所定の形状にパターニングして、P型ベース領域16a上及びP型不純物領域16b上の各開口部並びにこれらの周囲の絶縁膜19上に多結晶シリコン層20a、20dを残存させると共に、P型グラフト不純物領域17b上の開口部の周囲の絶縁膜19上の多結晶シリコン層20eを残存させる。そしてP型グラフト不純物領域17b上の開口部及びこの周囲の絶縁膜19上の多結晶シリコン層20を除去して、この開口部内のP型グラフト不純物領域17b表面を露出させる。

【0137】このとき、P型グラフト不純物領域17b上の開口部における段差は、絶縁膜19の厚さに多結晶シリコン層20eの厚さが加わったものとなるため、他のP型ベース領域16a上及びP型不純物領域16b上の各開口部並びにこれらの周囲の絶縁膜19上における多結晶シリコン層20a、20dのなす段差よりも大きくなる。

【0138】続いて、多結晶シリコン層20a、20dからAsを拡散させ、P型ベース領域16a表面にN⁺型エミッタ領域21aを、P型不純物領域16b表面にN⁺型不純物領域からなるカソード領域21bを、それぞれ同時に形成する（図22参照）。

【0139】次いで、絶縁膜19を選択的にエッチング除去し、P⁺型グラフトベース領域17a上及びN⁺型ブラグイン15上に、それぞれ開口部を形成する。

【0140】続いて、基体全面にTiONバリアメタル

層及びA1合金層を順に堆積した後、これらを所定の形状にパターンニングして、N⁺型エミッタ領域21a上に多結晶シリコン層20a及びTiONバリアメタル層24を介してA1合金層からなるエミッタ電極25aを、P⁺型グラフトベース領域17a上にTiONバリアメタル層24を介してA1合金層からなるベース電極25bを、N⁺型ブラグイン15上にTiONバリアメタル層24を介してA1合金層からなるコレクタ電極25cを、N⁺型不純物領域21b上に多結晶シリコン層20d及びTiONバリアメタル層24を介してA1合金層からなるカソード電極25dを、P型グラフト不純物領域17b上にTiONバリアメタル層24を介してA1合金層からなるアノード電極25eを、それぞれ同時に形成する。

【0141】このとき、N⁺型エミッタ領域21a上及びN⁺型不純物領域21b上の各開口部並びにこれらの周囲の絶縁膜19上における多結晶シリコン層20a、20dのなす段差は相対的に小さく、P⁺型グラフトベース領域17a上及びN⁺型ブラグイン15上の各開口部における段差も相対的に小さいことから、これらの多結晶シリコン層20a、20d上並びにP⁺型グラフトベース領域17a上及びN⁺型ブラグイン15上に堆積されるTiONバリアメタル層24は良好なステップカバレッジによりほぼ均一な膜厚となる。

【0142】これに対して、P型グラフト不純物領域17b上の開口部における段差は相対的に大きいことから、ステップカバレッジが悪化して、この開口部内のP型グラフト不純物領域17b上に堆積されるTiONバリアメタル層24は開口部の角部において局所的に薄膜化する。

【0143】このようにして、上記図20に示されるNPNバイポーラトランジスタAとツェナーザップダイオードBが同一の半導体基板上に混載され半導体装置を製作する(図23参照)。

【0144】次に、図20に示すツェナーザップダイオードとバイポーラトランジスタが同一の半導体基板上に混載されている半導体装置の第2の製造方法を、図24～図26の工程断面図を用いて説明する。なお、この半導体装置の第2の製造方法は、上記請求項11に対応するものである。

【0145】先ず、上記第1の製造方法の場合と同様に、P型Si基板11表面にN⁺型埋め込み層12を形成し、N型エピタキシャル層13を成長させ、P型アイソレーション14を形成してNPNバイポーラトランジスタ領域とツェナーザップダイオード領域とに素子分離し、コレクタ取出し用のN⁺型ブラグイン15を形成する。そして、P型ベース領域16aとP型不純物領域16bをそれぞれ同時に形成すると共に、P⁺型グラフトベース領域17aとP⁺型グラフト不純物領域17bをそれぞれ同時に形成して、隣接するP型不純物領域1

6b及びP⁺型グラフト不純物領域17bからなるアノード領域18を形成する。

【0146】続いて、基体全面に絶縁膜19を堆積した後、この絶縁膜19を選択的にエッチング除去して、P型ベース領域16a上及びP型不純物領域16b上に、それぞれ開口部を形成する。そして、基体全面に多結晶シリコン層20を堆積した後、この多結晶シリコン層20全面に例えばAs⁺を注入する(図24参照)。

【0147】次いで、多結晶シリコン層20を所定の形状にパターンニングして、P型ベース領域16a上及びP型不純物領域16b上の各開口部並びにこれらの周囲の絶縁膜19上に多結晶シリコン層20a、20dを残存させると共に、P型グラフト不純物領域17b上の開口部形成予定領域の周囲の絶縁膜19上に多結晶シリコン層20eを残存させる。

【0148】続いて、多結晶シリコン層20a、20dからAsを拡散させ、P型ベース領域16a表面にN⁺型エミッタ領域21aを、P型不純物領域16b表面にN⁺型不純物領域からなるカソード領域21bを、それぞれ同時に形成する(図25参照)。

【0149】次いで、P⁺型グラフトベース領域17a上及びN⁺型ブラグイン15上の絶縁膜19を選択的にエッチング除去して、P⁺型グラフトベース領域17a上及びN⁺型ブラグイン15上にそれぞれ開口部を形成すると同時に、P型グラフト不純物領域17b上の多結晶シリコン層20eに囲まれた絶縁膜19を選択的にエッチング除去して、P⁺型グラフト不純物領域17b上に開口部26を形成する。

【0150】このとき、N⁺型エミッタ領域21a上及びN⁺型不純物領域21b上の各開口部並びにこれらの周囲の絶縁膜19上における多結晶シリコン層20a、20dのなす段差は相対的に小さく、P⁺型グラフトベース領域17a上及びN⁺型ブラグイン15上の各開口部における段差も相対的に小さいことから、これらの多結晶シリコン層20a、20d上並びにP⁺型グラフトベース領域17a上及びN⁺型ブラグイン15上に堆積されるTiONバリアメタル層24は良好なステップカバレッジによりほぼ均一な膜厚となる。

【0151】これに対して、P型グラフト不純物領域17b上の開口部における段差は相対的に大きいことから、ステップカバレッジが悪化して、この開口部内のP型グラフト不純物領域17b上に堆積されるTiONバリアメタル層24は開口部の角部において局所的に薄膜化する。

【0152】このようにして、上記図20に示されるNPNバイポーラトランジスタAとツェナーザップダイオードBが同一の半導体基板上に混載され半導体装置を製作する(図26参照)。

【0153】以上のように本実施形態によれば、アノード領域18のP型グラフト不純物領域17b上の開口部

の多結晶シリコン層20を除去する際に、この開口部周囲の絶縁膜19上に多結晶シリコン層20eを残存させることにより、或いはまた、P型グラフト不純物領域17b上の開口部形成予定領域周囲の絶縁膜19上に多結晶シリコン層20eを残存させた後、この多結晶シリコン層20eに囲まれた絶縁膜19を除去してP⁺型グラフト不純物領域17b上に開口部を形成することにより、この開口部における段差は、絶縁膜19の厚さに多結晶シリコン層20eの厚さが加わったものとなって、他のN⁺型エミッタ領域21a上の開口部及びこの周囲の絶縁膜19上における多結晶シリコン層20aのなす段差よりも、またP⁺型グラフトベース領域17a上及びN⁺型ブラグイン15上の各開口部における段差よりも大きくなる。このため、TiONバリアメタル層24を堆積する際、段差が相対的に小さいN⁺型エミッタ領域21a上の多結晶シリコン層20a上に堆積されるTiONバリアメタル層24も、また段差が相対的に小さい開口部内のP⁺型グラフトベース領域17a上及びN⁺型ブラグイン15上に堆積されるTiONバリアメタル層24も、共に良好なステップカバレッジによりほぼ均一な膜厚となる。他方、段差が相対的に大きいP型グラフト不純物領域17b上の開口部においては、ステップカバレッジを悪化させて、この開口部内のP型グラフト不純物領域17b上に堆積されるTiONバリアメタル層24を開口部の角部において局所的に薄膜化することができる。

【0154】従って、上記第2の実施形態の場合と同様に、バリアメタル構造のツェナーザップダイオードBであっても、TiONバリアメタル層24が局所的に薄膜化された箇所を有していることにより、アノード電極25e及びカソード領域21b間に高電界の逆バイアスを印加した場合に、両電極間を接続するA1フィラメントが形成され易くなるため、バリアメタル構造のNPNバイポーラトランジスタAにおけるバリア性を確保しつつ、ツェナーザップダイオードの破壊短絡を容易にし、破壊短絡後のオン抵抗値を安定化することが可能となる。

【0155】また、本実施形態によれば、P型ベース領域16a及びP⁺型グラフトベース領域17aをそれぞれ形成する工程において同時にアノード領域18を構成するP型不純物領域16b及びP⁺型グラフトベース領域17aをそれぞれ形成し、N⁺型エミッタ領域21aを形成する工程において同時にN⁺型不純物領域からなるカソード領域21bを形成し、エミッタ等の電極部の多結晶シリコン層20をバターンニングする工程において同時にP型グラフト不純物領域17b上の開口部の多結晶シリコン層20を除去すると共に、この開口部の周囲の絶縁膜19上の多結晶シリコン層20eを残存させ、TiONバリアメタル層24を介してA1合金層からなるエミッタ電極25a等を形成する工程において同時に

カソード電極25d及びアノード電極25eを形成すると共に、P型グラフト不純物領域17bとアノード電極25eとの間に介在するTiONバリアメタル層24を局所的に薄膜化している。

【0156】或いはまた、エミッタ等の電極部の多結晶シリコン層20をバターンニングする工程において同時にP型グラフト不純物領域17b上の開口部形成予定領域の周囲の絶縁膜19上の多結晶シリコン層20eを残存させ、P⁺型グラフトベース領域17a上の開口部等を形成する工程において同時に多結晶シリコン層20eに囲まれた絶縁膜19を除去してP⁺型グラフト不純物領域17b上に開口部26を形成し、TiONバリアメタル層24を介してA1合金層からなるエミッタ電極25a等を形成する工程において同時にカソード電極25d及びアノード電極25eを形成すると共に、P型グラフト不純物領域17bとアノード電極25eとの間に介在するTiONバリアメタル層24を局所的に薄膜化している。

【0157】従って、バリアメタル構造のエミッタ電極部、ベース電極部、及びコレクタ電極部のうち、エミッタ電極部にのみ多結晶シリコン層20aが使用されているNPNバイポーラトランジスタAを作製する際に、従来の製造工程に何ら新たな工程を追加することなく、アノード領域18のP型グラフト不純物領域17bとアノード電極25eとの間に介在するTiONバリアメタル層24が局所的に薄膜化された箇所を有しているツェナーザップダイオードBを同時的に作製することができる。

【0158】なお、上記第5の実施形態の第2の製造方法においては、多結晶シリコン層20をバターンニングして多結晶シリコン層20a、20dを形成すると共に、P型グラフト不純物領域17b上の開口部形成予定領域の周囲の絶縁膜19上に多結晶シリコン層20eを残存させた後、多結晶シリコン層20a、20dからAsを拡散させてN⁺型エミッタ領域21a等を形成しているが、その順序を入れ替えてもよい。

【0159】即ち、多結晶シリコン層20からAsを拡散させN⁺型エミッタ領域21a等を形成した後、多結晶シリコン層20をバターンニングして多結晶シリコン層20a、20dを形成すると共に、P型グラフト不純物領域17b上の開口部形成予定領域の周囲の絶縁膜19上に多結晶シリコン層20eを残存させてもよい。

【0160】(第6の実施形態)図27は本発明の第6の実施の形態に係るツェナーザップダイオードとバイポーラトランジスタが同一の半導体基板上に混載されている半導体装置を示す断面図である。なお、図27に示すツェナーザップダイオードの一部拡大図は、上記図15と同様であるため、図示は省略する。また、上記図14及び図15に示す半導体装置と同一の構成要素には同一の符号を付して説明を省略する。

【0161】図27に示されるように、同一のP型Si基板11上に、NPNバイポーラトランジスタAとツェナーザップダイオードBが混載されている。このNPNバイポーラトランジスタAは、上記第4の実施形態の図19に示すものと同一の構成であるため、その説明は省略する。

【0162】他方、ツェナーザップダイオードBは、上記第3の実施形態の図14及び図15に示すものと同一の構成である。即ち、アノード領域18のP⁺型グラフト不純物領域17b表面に凹部が形成されていると共に、このP⁺型グラフト不純物領域17b上の開口部の周辺の絶縁膜19上に多結晶シリコン層20eが形成されており、このP⁺型グラフト不純物領域17b上に形成された開口部における段差は絶縁膜19の厚さに凹部の深さと多結晶シリコン層20eの厚さが加わったものとなっている。このため、P⁺型グラフト不純物領域17b上の開口部における段差は、他のN⁺型エミッタ領域21a上の開口部及びこの周囲の絶縁膜19上における多結晶シリコン層20aのなす段差よりも、またP⁺型グラフトベース領域17a上及びN⁺型ブラグイン15上の各開口部における段差よりも相対的に大きくなっている。

【0163】そして、上記第3の実施形態の場合と同様に、P⁺型グラフト不純物領域17b上の開口部における段差が大きいに伴って、P⁺型グラフト不純物領域17bとAl合金層からなるアノード電極25eとの間に介在するTiONバリアメタル層24は開口部の角部において局所的に薄膜化している点に本実施形態の特徴がある。

【0164】次に、図27に示すツェナーザップダイオードとバイポーラトランジスタが同一の半導体基板上に混載されている半導体装置の製造方法を、図28～図30の工程断面図を用いて説明する。なお、この半導体装置の製造方法は、上記請求項10に対応するものである。

【0165】上記第4の実施形態の図21に示す工程と同様に、P型Si基板11表面にN⁺型埋め込み層12を形成し、N型エピタキシャル層13を成長させ、P型アイソレーション14を形成してNPNバイポーラトランジスタ領域とツェナーザップダイオード領域とに素子分離し、コレクタ取出し用のN⁺型ブラグイン15を形成する。そして、P型ベース領域16aとP型不純物領域16bをそれぞれ同時に形成すると共に、P⁺型グラフトベース領域17aとP⁺型グラフト不純物領域17bをそれぞれ同時に形成して、隣接するP型不純物領域16b及びP⁺型グラフト不純物領域17bからなるアノード領域18を形成する。そして、基体全面に堆積した絶縁膜19を選択的にエッチング除去して、P型ベース領域16a上、P型不純物領域16b上、及びP⁺型グラフト不純物領域17b上に、それぞれ開口部を

形成する。続いて、基体全面に堆積した多結晶シリコン層20全面に例えばAs⁺を注入する(図28参照)。

【0166】次いで、多結晶シリコン層20を所定の形状にパターニングして、P型ベース領域16a上及びP型不純物領域16b上の各開口部並びにこれらの周囲の絶縁膜19上に多結晶シリコン層20a、20dを残存させると共に、P型グラフト不純物領域17b上の開口部周囲の絶縁膜19上の多結晶シリコン層20eを残存させる。そしてP型グラフト不純物領域17b上の開口部及びこの周囲の絶縁膜19上の多結晶シリコン層20を除去して、この開口部内のP型グラフト不純物領域17b表面を露出させる。更に、意図的に多結晶シリコン層20のオーバーエッチを行い、開口部内に露出したP型グラフト不純物領域17bをエッチングして、その表面に凹部23を形成する。

【0167】このとき、P型グラフト不純物領域17b上の開口部における段差は、絶縁膜19の厚さに多結晶シリコン層20eの厚さと凹部23の深さが加わったものとなるため、他のP型ベース領域16a上及びP型不純物領域16b上の各開口部並びにこれらの周囲の絶縁膜19上における多結晶シリコン層20a、20dのなす段差よりも大きくなる。

【0168】続いて、多結晶シリコン層20a、20dからAsを拡散させ、P型ベース領域16a表面にN⁺型エミッタ領域21aを、P型不純物領域16b表面にN⁺型不純物領域からなるカソード領域21bを、それぞれ同時に形成する(図29参照)。

【0169】次いで、絶縁膜19を選択的にエッチング除去し、P⁺型グラフトベース領域17a上及びN⁺型ブラグイン15上に、それぞれ開口部を形成する。

【0170】続いて、基体全面にTiONバリアメタル層及びAl合金層を順に堆積した後、これらを所定の形状にパターニングして、N⁺型エミッタ領域21a上に多結晶シリコン層20a及びTiONバリアメタル層24を介してAl合金層からなるエミッタ電極25aを、P⁺型グラフトベース領域17a上にTiONバリアメタル層24を介してAl合金層からなるベース電極25bを、N⁺型ブラグイン15上にTiONバリアメタル層24を介してAl合金層からなるコレクタ電極25cを、N⁺型不純物領域21b上に多結晶シリコン層20d及びTiONバリアメタル層24を介してAl合金層からなるカソード電極25dを、P型グラフト不純物領域17b上にTiONバリアメタル層24を介してAl合金層からなるアノード電極25eを、それぞれ同時に形成する。

【0171】このとき、N⁺型エミッタ領域21a上及びN⁺型不純物領域21b上の各開口部並びにこれらの周囲の絶縁膜19上における多結晶シリコン層20a、20dのなす段差は相対的に小さく、P⁺型グラフトベース領域17a上及びN⁺型ブラグイン15上の各開口部

部における段差も相対的に小さいことから、これらの多結晶シリコン層20a、20d上並びにP⁺型グラフトベース領域17a上及びN⁺型ブラグイン15上に堆積されるTiONバリアメタル層24は良好なステップカバレッジによりほぼ均一な膜厚となる。

【0172】これに対して、P型グラフト不純物領域17b上の開口部における段差は相対的に大きいことから、ステップカバレッジが悪化して、この開口部内のP型グラフト不純物領域17b上に堆積されるTiONバリアメタル層24は開口部の角部において局所的に薄膜化する。このようにして、上記図27に示されるNPNバイポーラトランジスタAとツェナーザップダイオードBが同一の半導体基板上に混載され半導体装置を作製する(図30参照)。

【0173】以上のように本実施形態によれば、アノード領域18のP型グラフト不純物領域17b上の開口部の多結晶シリコン層20を除去して、この開口部内のP型グラフト不純物領域17b表面を露出させる際に、この開口部の周囲の絶縁膜19上に多結晶シリコン層20eを残存させると共に、意図的な多結晶シリコン層20のオーバーエッチによって開口部内に露出したP型グラフト不純物領域17bをエッチングしてその表面に凹部23を形成することにより、この開口部における段差は、絶縁膜19の厚さに多結晶シリコン層20eの厚さと凹部23の深さが加わったものとなって、他のN⁺型エミッタ領域21a上の開口部及びこの周囲の絶縁膜19上における多結晶シリコン層20aのなす段差よりも、またP⁺型グラフトベース領域17a上及びN⁺型ブラグイン15上の各開口部における段差よりも大きくなる。このため、TiONバリアメタル層24を堆積する際に、段差が相対的に小さいN⁺型エミッタ領域21a上の多結晶シリコン層20a上に堆積されるTiONバリアメタル層24も、段差が相対的に小さい開口部内のP⁺型グラフトベース領域17a上及びN⁺型ブラグイン15上に堆積されるTiONバリアメタル層24も、共に良好なステップカバレッジによりほぼ均一な膜厚となる。他方、段差が相対的に大きいP型グラフト不純物領域17b上の開口部においては、ステップカバレッジを悪化させて、この開口部内のP型グラフト不純物領域17b上に堆積されるTiONバリアメタル層24を開口部の角部において上記第4又は第5の実施形態の場合以上に局所的に薄膜化することができる。

【0174】従って、上記第3の実施形態の場合と同様に、バリアメタル構造のツェナーザップダイオードBであっても、TiONバリアメタル層24が局所的に薄膜化された箇所を有していることにより、アノード電極25e及びカソード領域21b間に高電界の逆バイアスを印加した場合に、両電極間を接続するA1フィラメントが形成され易くなるため、バリアメタル構造のNPNバイポーラトランジスタAにおけるバリア性を確保しつ

つ、ツェナーザップダイオードの破壊短絡を容易にし、破壊短絡後のオン抵抗値を安定化することが可能となる。

【0175】また、本実施形態によれば、P型ベース領域16a及びP⁺型グラフトベース領域17aをそれぞれ形成する工程において同時にアノード領域18を構成するP型不純物領域16b及びP⁺型グラフトベース領域17aをそれぞれ形成し、N⁺型エミッタ領域21aを形成する工程において同時にN⁺型不純物領域からなるカソード領域21bを形成し、エミッタ等の電極部の多結晶シリコン層20をパターンニングする工程において同時にP型グラフト不純物領域17b上の開口部の多結晶シリコン層20を除去すると共に、この開口部の周囲の絶縁膜19上に多結晶シリコン層20eを残存させ、更にこの開口部内に露出したP型グラフト不純物領域17b表面に凹部23を形成し、TiONバリアメタル層24を介してA1合金層からなるエミッタ電極25a等を形成する工程において同時にカソード電極25d及びアノード電極25eを形成すると共に、P型グラフト不純物領域17bとアノード電極25eとの間に介在するTiONバリアメタル層24を局所的に薄膜化している。

【0176】従って、バリアメタル構造のエミッタ電極部、ベース電極部、及びコレクタ電極部のうち、エミッタ電極部にのみ多結晶シリコン層20aが使用されているNPNバイポーラトランジスタAを作製する際に、従来の製造工程に何ら新たな工程を追加することなく、アノード領域18のP型グラフト不純物領域17bとアノード電極25eとの間に介在するTiONバリアメタル層24が局所的に薄膜化された箇所を有しているツェナーザップダイオードBを同時的に作製することができる。

【0177】なお、上記第1～第6の実施形態においては、NPNバイポーラトランジスタAとツェナーザップダイオードBが混載されている半導体装置及びその製造方法について説明しているが、NPNバイポーラトランジスタAに限定されることはなく、PNPバイポーラトランジスタとツェナーザップダイオードが混載されている半導体装置であってもよい。また、アノード領域18とアノード電極25eとの間に介在するTiONバリアメタル層24が局所的に薄膜化しているツェナーザップダイオードBについて説明しているが、カソード領域とカソード電極との間に介在するTiONバリアメタル層が局所的に薄膜化しているツェナーザップダイオードであってもよい。例えば、上記第1～第6の実施形態の半導体装置の各構成要素におけるP型及びN型の導電型を逆にして各実施形態の製造方法を適用すると、同一のN型Si基板上にPNPバイポーラトランジスタと混載されると共に、カソード領域とカソード電極との間に介在するTiONバリアメタル層が局所的に薄膜化している

ツェナーザップダイオードを作製することが可能である。

【0178】

【発明の効果】以上、詳細に説明した通り、本発明に係る半導体装置及びその製造方法によれば、次のような効果を奏することができる。即ち、請求項1に係る半導体装置によれば、カソード電極及びアノード電極をなす第1及び第2の電極とPN接合をなす第1及び第2の不純物領域との間にそれぞれ第1及び第2のバリアメタル層が介在するバリアメタル構造のツェナーザップダイオードであっても、第1及び第2のバリアメタル層の少なくとも一方のバリアメタル層が局所的に薄膜化された箇所を有していることにより、第1及び第2の電極間に高電界の逆バイアスを印加した場合、このバリアメタル層が局所的に薄膜化された箇所に局所的な電流集中が発生してバリアメタル層が破れると共に、それに伴う発熱により電極を構成する金属と半導体基板とが反応するため、第1及び第2の電極間を接続する安定したフィラメントが形成され易くすることができる。従って、ツェナーザップ発生電流を低下させて、ツェナーザップダイオードの破壊短絡を容易にすると共に、破壊短絡後のオン抵抗値を安定化することが可能となる。

【0179】また、請求項4に係る半導体装置の製造方法によれば、PN接合をなす第1及び第2の不純物領域を有するツェナーザップダイオードとエミッタ電極部、ベース電極部、及びコレクタ電極部の全てに多結晶シリコン層が使用されているバリアメタル構造のバイポーラトランジスタが同一の半導体基板上に混載されている半導体装置の製造方法において、第1の不純物領域上の第5の開口部及びこの周囲の絶縁膜上における多結晶シリコン層を除去すると共に、この多結晶シリコン層のオーバーエッチにより第5の開口部内の第1の不純物領域をエッチングして第1の不純物領域表面に凹部を形成することにより、この第5の開口部における段差を、絶縁膜の厚さに第1の不純物領域表面の凹部の深さが加わったものとして、他のエミッタ等の開口部における段差よりも大きくすることができる。このため、後の工程においてバリアメタル層を堆積する際、エミッタ等の開口部においては良好なステップカバレッジを得る一方、第5の開口部におけるステップカバレッジを悪化させ、第5の開口部内の第1の不純物領域上に堆積されたバリアメタル層は局所的に薄膜化することが可能となる。従って、バリアメタル構造のバイポーラトランジスタにおけるバリア性を確保しつつ、破壊短絡が容易で破壊短絡後のオン抵抗値が安定なツェナーザップダイオードを容易に作製することができる。

【0180】また、ベース領域と第1の不純物領域を同時に形成し、エミッタ領域と第2の不純物領域を同時に形成し、エミッタ等の電極部の多結晶シリコン層をバタ

域表面に凹部を形成し、バリアメタル層を介して金属層からなるベース電極等を形成すると同時に第1及び第2の電極を形成すると共に、第1の電極と第1の不純物領域との間に介在するバリアメタル層を局所的に薄膜化するため、破壊短絡が容易で破壊短絡後のオン抵抗値が安定なツェナーザップダイオードとバリアメタル構造のバイポーラトランジスタを、従来のバイポーラトランジスタの製造工程に新たな工程を追加することなく、同時に作製することが可能となる。従って、コストの上昇を抑制することができる。

【0181】また、請求項5に係る半導体装置の製造方法によれば、PN接合をなす第1及び第2の不純物領域を有するツェナーザップダイオードとエミッタ電極部、ベース電極部、及びコレクタ電極部の全てに多結晶シリコン層が使用されているバリアメタル構造のバイポーラトランジスタが同一の半導体基板上に混載されている半導体装置の製造方法において、第1の不純物領域上の第5の開口部の周囲の絶縁膜上に多結晶シリコン層を残存させると共に、第5の開口部の多結晶シリコン層を除去することにより、この第5の開口部における段差を、絶縁膜の厚さに多結晶シリコン層の厚さが加わったものとして、他のエミッタ等の開口部における段差よりも大きくすることができる。このため、上記請求項4の場合と同様にして、バリアメタル構造のバイポーラトランジスタにおけるバリア性を確保しつつ、破壊短絡が容易で破壊短絡後のオン抵抗値が安定なツェナーザップダイオードを容易に作製することができる。

【0182】また、ベース領域と第1の不純物領域を同時に形成し、エミッタ領域と第2の不純物領域を同時に形成し、エミッタ等の電極部の多結晶シリコン層をバタニングすると同時に第5の開口部の周囲の絶縁膜上に多結晶シリコン層を残存させ、バリアメタル層を介して金属層からなるベース電極等を形成すると同時に第1及び第2の電極を形成すると共に、第1の電極と第1の不純物領域との間に介在するバリアメタル層を局所的に薄膜化するため、破壊短絡が容易で破壊短絡後のオン抵抗値が安定なツェナーザップダイオードとバリアメタル構造のバイポーラトランジスタを、従来の製造工程に新たな工程を追加することなく、同時に作製することが可能となり、コストの上昇を抑制することができる。

【0183】また、請求項6に係る半導体装置の製造方法によれば、PN接合をなす第1及び第2の不純物領域を有するツェナーザップダイオードとエミッタ電極部、ベース電極部、及びコレクタ電極部の全てに多結晶シリコン層が使用されているバリアメタル構造のバイポーラトランジスタが同一の半導体基板上に混載されている半導体装置の製造方法において、第1の不純物領域上の第5の開口部の周囲の絶縁膜上に多結晶シリコン層を残存させ、第5の開口部の多結晶シリコン層を除去すると共に、この多結晶シリコン層のオーバーエッチにより第5

の開口部内の第1の不純物領域をエッチングして、第1の不純物領域表面に凹部を形成することにより、この第5の開口部における段差を、絶縁膜の厚さに多結晶シリコン層の厚さと第1の不純物領域表面の凹部の深さが加わったものとして、他のエミッタ等の開口部における段差よりも大きくすると共に、その程度を上記請求項4又は5の場合よりも更に大きくすることができる。このため、バリアメタル構造のバイポーラトランジスタにおけるバリア性を確保しつつ、上記請求項4又は5の場合以上に破壊短絡が容易で破壊短絡後のオン抵抗値が安定なツェナーザップダイオードを容易に作製することができる。

【0184】また、ベース領域と第1の不純物領域を同時に形成し、エミッタ領域と第2の不純物領域を同時に形成し、エミッタ等の電極部の多結晶シリコン層をパターンニングすると同時に第5の開口部の周囲の絶縁膜上に多結晶シリコン層を残存させると共に、第5の開口部内の第1の不純物領域表面に凹部を形成し、バリアメタル層を介して金属層からなるベース電極等を形成すると同時に第1及び第2の電極を形成すると共に、第1の電極と第1の不純物領域との間に介在するバリアメタル層を局所的に薄膜化するため、破壊短絡が容易で破壊短絡後のオン抵抗値が安定なツェナーザップダイオードとバリアメタル構造のバイポーラトランジスタを、従来の製造工程に新たな工程を追加することなく、同時に作製することが可能となり、コストの上昇を抑制することができる。

【0185】また、請求項8に係る半導体装置の製造方法によれば、PN接合をなす第1及び第2の不純物領域を有するツェナーザップダイオードとエミッタ電極部にのみ多結晶シリコン層が使用されているバリアメタル構造のバイポーラトランジスタが同一の半導体基板上に混載されている半導体装置の製造方法において、第1の不純物領域上の第3の開口部及びこの周囲の絶縁膜上における多結晶シリコン層を除去すると共に、この多結晶シリコン層のオーバーエッチにより第3の開口部内の第1の不純物領域をエッチングして第1の不純物領域表面に凹部を形成することにより、この第3の開口部における段差を、絶縁膜の厚さに第1の不純物領域表面の凹部の深さが加わったものとして、他の開口部における段差よりも大きくすることができる。このため、後の工程においてバリアメタル層を堆積する際、エミッタ等の開口部においては良好なステップカバレッジを得る一方、第3の開口部におけるステップカバレッジを悪化させ、第3の開口部内の第1の不純物領域上に堆積されたバリアメタル層は局所的に薄膜化することが可能となる。従って、バリアメタル構造のバイポーラトランジスタにおけるバリア性を確保しつつ、破壊短絡が容易で破壊短絡後のオン抵抗値が安定なツェナーザップダイオードを容易に作製することができる。

【0186】また、ベース領域と第1の不純物領域を同時に形成し、エミッタ領域と第2の不純物領域を同時に形成し、エミッタ等の電極部の多結晶シリコン層をパターンニングすると同時に第3の開口部内の第1の不純物領域表面に凹部を形成し、バリアメタル層を介して金属層からなるベース電極等を形成すると同時に第1及び第2の電極を形成すると共に、第1の電極と第1の不純物領域との間に介在するバリアメタル層を局所的に薄膜化するため、破壊短絡が容易で破壊短絡後のオン抵抗値が安定なツェナーザップダイオードとバリアメタル構造のバイポーラトランジスタを、従来の製造工程に新たな工程を追加することなく、同時に作製することが可能となり、コストの上昇を抑制することができる。

【0187】また、請求項9に係る半導体装置の製造方法によれば、PN接合をなす第1及び第2の不純物領域を有するツェナーザップダイオードとエミッタ電極部にのみ多結晶シリコン層が使用されているバリアメタル構造のバイポーラトランジスタが同一の半導体基板上に混載されている半導体装置の製造方法において、第1の不純物領域上の第3の開口部の周囲の絶縁膜上に多結晶シリコン層を残存させると共に、第3の開口部の多結晶シリコン層を除去することにより、この第3の開口部における段差を、絶縁膜の厚さに多結晶シリコン層の厚さが加わったものとして、他のエミッタ等の開口部における段差よりも大きくすることができる。このため、上記請求項8の場合と同様にして、バリアメタル構造のバイポーラトランジスタにおけるバリア性を確保しつつ、破壊短絡が容易で破壊短絡後のオン抵抗値が安定なツェナーザップダイオードを容易に作製することができる。

【0188】また、ベース領域と第1の不純物領域を同時に形成し、エミッタ領域と第2の不純物領域を同時に形成し、エミッタ等の電極部の多結晶シリコン層をパターンニングすると同時に第3の開口部の周囲の絶縁膜上に多結晶シリコン層を残存させ、バリアメタル層を介して金属層からなるベース電極等を形成すると同時に第1及び第2の電極を形成すると共に、第1の電極と第1の不純物領域との間に介在するバリアメタル層を局所的に薄膜化するため、破壊短絡が容易で破壊短絡後のオン抵抗値が安定なツェナーザップダイオードとバリアメタル構造のバイポーラトランジスタを、従来の製造工程に新たな工程を追加することなく、同時に作製することが可能となり、コストの上昇を抑制することができる。

【0189】また、請求項10に係る半導体装置の製造方法によれば、PN接合をなす第1及び第2の不純物領域を有するツェナーザップダイオードとエミッタ電極部にのみ多結晶シリコン層が使用されているバリアメタル構造のバイポーラトランジスタが同一の半導体基板上に混載されている半導体装置の製造方法において、第1の不純物領域上の第3の開口部の周囲の絶縁膜上に多結晶シリコン層を残存させ、第3の開口部の多結晶シリコン

層を除去すると共に、この多結晶シリコン層のオーバーエッチにより第3の開口部内の第1の不純物領域をエッチングして第1の不純物領域表面に凹部を形成することにより、この第3の開口部における段差を、絶縁膜の厚さに多結晶シリコン層の厚さと第1の不純物領域表面の凹部の深さが加わったものとして、他のエミッタ等の開口部における段差よりも大きくすることができる。このため、上記請求項8の場合と同様にして、バリアメタル構造のバイポーラトランジスタにおけるバリア性を確保しつつ、破壊短絡が容易で破壊短絡後のオン抵抗値が安定なツェナーザップダイオードを容易に作製することができる。

【0190】また、ベース領域と第1の不純物領域を同時に形成し、エミッタ領域と第2の不純物領域を同時に形成し、エミッタ等の電極部の多結晶シリコン層をパターニングすると同時に第3の開口部の周囲の絶縁膜上に多結晶シリコン層を残存させると共に、第3の開口部内の第1の不純物領域表面に凹部を形成し、バリアメタル層を介して金属層からなるベース電極等を形成すると同時に第1及び第2の電極を形成すると共に、第1の電極と第1の不純物領域との間に介在するバリアメタル層を局所的に薄膜化するため、破壊短絡が容易で破壊短絡後のオン抵抗値が安定なツェナーザップダイオードとバリアメタル構造のバイポーラトランジスタを、従来の製造工程に新たな工程を追加することなく、同時に作製することが可能となり、コストの上昇を抑制することができる。

【0191】また、請求項11に係る半導体装置の製造方法によれば、PN接合をなす第1及び第2の不純物領域を有するツェナーザップダイオードとエミッタ電極部にのみ多結晶シリコン層が使用されているバリアメタル構造のバイポーラトランジスタが同一の半導体基板上に混載されている半導体装置の製造方法において、第1の不純物領域上の第3の開口部形成予定領域の周囲の絶縁膜上に多結晶シリコン層を残存させた後、絶縁膜を選択的に除去して第1の不純物領域上に第3の開口部を形成することにより、この第3の開口部における段差を、絶縁膜の厚さに多結晶シリコン層の厚さが加わったものとして、他のエミッタ等の開口部における段差よりも大きくすることができる。このため、上記請求項9の場合と同様にして、バリアメタル構造のバイポーラトランジスタにおけるバリア性を確保しつつ、破壊短絡が容易で破壊短絡後のオン抵抗値が安定なツェナーザップダイオードを容易に作製することができる。

【0192】また、ベース領域と第1の不純物領域を同時に形成し、エミッタ領域と第2の不純物領域を同時に形成し、エミッタ等の電極部の多結晶シリコン層をパターニングすると同時に第1の不純物領域上の第3の開口部形成予定領域の周囲の絶縁膜上に多結晶シリコン層を残存させ、バリアメタル層を介して金属層からなるベ

ース電極等を形成すると同時に第1及び第2の電極を形成すると共に、第1の電極と第1の不純物領域との間に介在するバリアメタル層を局所的に薄膜化するため、破壊短絡が容易で破壊短絡後のオン抵抗値が安定なツェナーザップダイオードとバリアメタル構造のバイポーラトランジスタを、従来の製造工程に新たな工程を追加することなく、同時に作製することが可能となり、コストの上昇を抑制することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係るツェナーザップダイオード及びバイポーラトランジスタが同一の半導体基板上に混載されている半導体装置を示す断面図である。

【図2】図1に示すツェナーザップダイオードの一部拡大図である。

【図3】図1及び図2に示す半導体装置の製造方法を説明するための工程断面図（その1）である。

【図4】図1及び図2に示す半導体装置の製造方法を説明するための工程断面図（その2）である。

【図5】図1及び図2に示す半導体装置の製造方法を説明するための工程断面図（その3）である。

【図6】本発明の第2の実施の形態に係るツェナーザップダイオード及びバイポーラトランジスタが同一の半導体基板上に混載されている半導体装置を示す断面図である。

【図7】図6に示すツェナーザップダイオードの一部拡大図である。

【図8】図6及び図7に示す半導体装置の製造方法を説明するための工程断面図（その1）である。

【図9】図6及び図7に示す半導体装置の製造方法を説明するための工程断面図（その2）である。

【図10】図6及び図7に示す半導体装置の製造方法を説明するための工程断面図（その3）である。

【図11】本発明の第3の実施の形態に係るツェナーザップダイオード及びバイポーラトランジスタが同一の半導体基板上に混載されている半導体装置を示す断面図である。

【図12】図11に示すツェナーザップダイオードの一部拡大図である。

【図13】図11及び図12に示す半導体装置の製造方法を説明するための工程断面図（その1）である。

【図14】図11及び図12に示す半導体装置の製造方法を説明するための工程断面図（その2）である。

【図15】図11及び図12に示す半導体装置の製造方法を説明するための工程断面図（その3）である。

【図16】本発明の第4の実施の形態に係るツェナーザップダイオード及びバイポーラトランジスタが同一の半導体基板上に混載されている半導体装置を示す断面図である。

【図17】図16に示す半導体装置の製造方法を説明す

るための工程断面図(その1)である。

【図18】図16に示す半導体装置の製造方法を説明するための工程断面図(その2)である。

【図19】図16に示す半導体装置の製造方法を説明するための工程断面図(その3)である。

【図20】本発明の第5の実施の形態に係るツェナーザップダイオード及びバイポーラトランジスタが同一の半導体基板上に混載されている半導体装置を示す断面図である。

【図21】図20に示す半導体装置の第1の製造方法を説明するための工程断面図(その1)である。

【図22】図20に示す半導体装置の第1の製造方法を説明するための工程断面図(その2)である。

【図23】図20に示す半導体装置の第1の製造方法を説明するための工程断面図(その3)である。

【図24】図20に示す半導体装置の第2の製造方法を説明するための工程断面図(その1)である。

【図25】図20に示す半導体装置の第2の製造方法を説明するための工程断面図(その2)である。

【図26】図20に示す半導体装置の第2の製造方法を説明するための工程断面図(その3)である。

【図27】本発明の第6の実施の形態に係るツェナーザップダイオード及びバイポーラトランジスタが同一の半導体基板上に混載されている半導体装置を示す断面図である。

【図28】図27に示す半導体装置の製造方法を説明するための工程断面図(その1)である。

【図29】図27に示す半導体装置の製造方法を説明するための工程断面図(その2)である。

【図30】図27に示す半導体装置の製造方法を説明するための工程断面図(その3)である。

【図31】従来の半導体装置の第1の製造方法を説明するための工程断面図(その1)である。

【図32】従来の半導体装置の第1の製造方法を説明するための工程断面図(その2)である。

【図33】従来の半導体装置の第1の製造方法を説明するための工程断面図(その3)である。

【図34】図33に示すツェナーザップダイオードの一*

*部拡大図である。

【図35】従来の半導体装置の第2の製造方法を説明するための工程断面図(その1)である。

【図36】従来の半導体装置の第2の製造方法を説明するための工程断面図(その2)である。

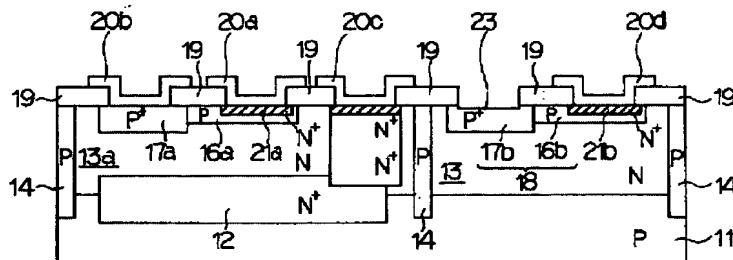
【図37】従来の半導体装置の第2の製造方法を説明するための工程断面図(その3)である。

【図38】図37に示すツェナーザップダイオードの一部拡大図である。

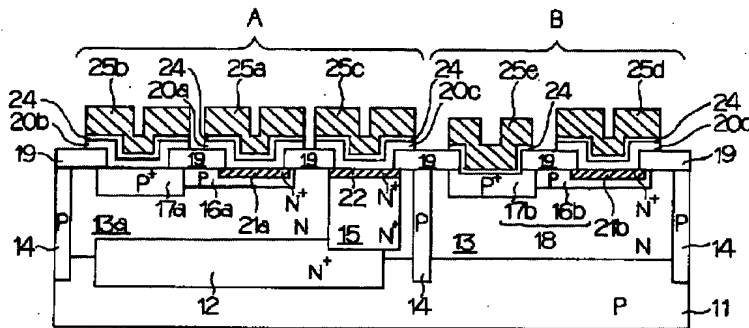
【符号の説明】

A……NPNバイポーラトランジスタ、B……ツェナーザップダイオード、11……P型Si基板、12……N⁺型埋め込み層、13……N型エピタキシャル層、13a……N型コレクタ領域、14……P型アイソレーション、15……N⁺型ブラグイン、16a……P型ベース領域、16b……P型不純物領域、17a……P⁺型グラフトベース領域、17b……P⁺型グラフト不純物領域、18……アノード領域、19……絶縁膜、20、20a、20b、20c、20d……多結晶シリコン層、21a……N⁺型エミッタ領域、21b……カソード領域、22……N⁺型コレクタコンタクト領域、23……凹部、24……TiONバリアメタル層、25a……エミッタ電極、25b……ベース電極、25c……コレクタ電極、25d……カソード電極、25e……アノード電極、26……開口部、41……P型Si基板、42……N⁺型埋め込み層、43……N型エピタキシャル層、43a……N型コレクタ領域、44……P型アイソレーション、45……N⁺型ブラグイン、46a……P型ベース領域、46b……P型不純物領域、47a……P⁺型グラフトベース領域、47b……P⁺型グラフト不純物領域、48……アノード領域、49……絶縁膜、50、50a、50b、50c、50d、50e……多結晶シリコン層、51a……N⁺型エミッタ領域、51b……カソード領域、52……N⁺型コレクタコンタクト領域、54……バリアメタル層、55a……エミッタ電極、55b……ベース電極、55c……コレクタ電極、55d……カソード電極、55e……アノード電極。

【図4】

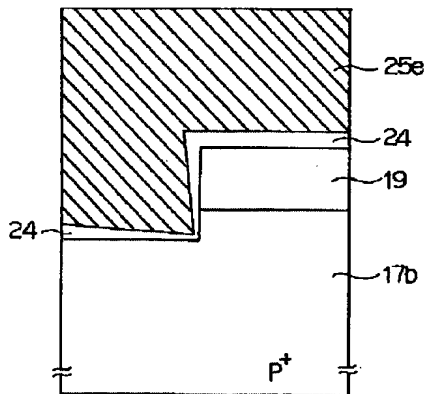


【図1】



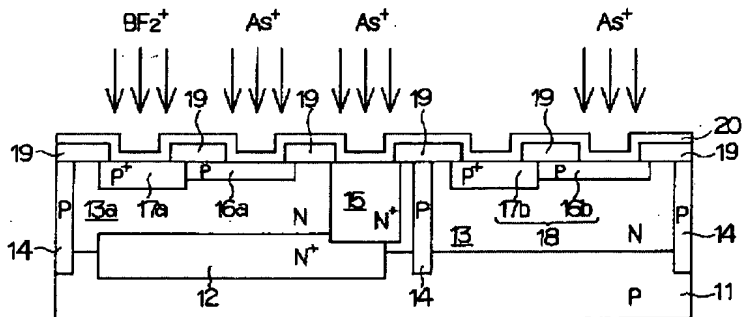
- A...NPNバイポーラトランジスタ 16a...P型ベース領域
 B...プンナーサブダイオード 18b...P型不純物領域
 11...P型Si基板 17a...P⁺型グラフトベース領域
 12...N⁺型埋め込み層 17b...P⁺型グラフト不純物領域
 13...N型エピタキシャル層 18...アノード領域
 13a...N型コレクタ領域 19...絶縁膜
 14...P型アイソレーション 20a, 20b, 20c, 20d...多結晶シリコン層
 15...N⁺型プラグイン 21a...N⁺型エミッタ領域
 21b...カソード領域
 22...N⁺型コレクタコンタクト領域
 24...TiONバリアメタル層
 25a...エミッタ電極
 25b...ベース電極
 25c...コレクタ電極
 25d...カソード電極
 25e...アノード電極

【図2】

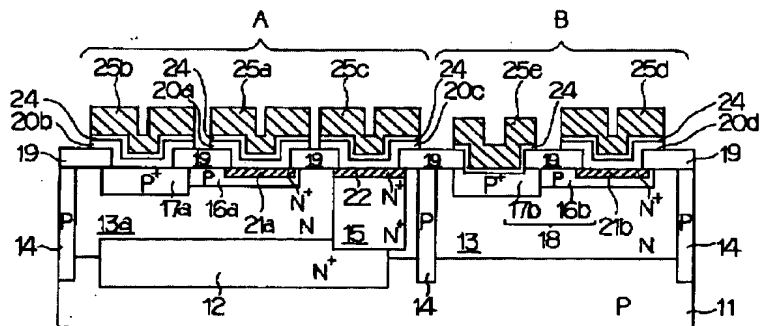


- 17b...P⁺型グラフト不純物領域
 19...絶縁膜
 24...TiONバリアメタル層
 25e...アノード電極

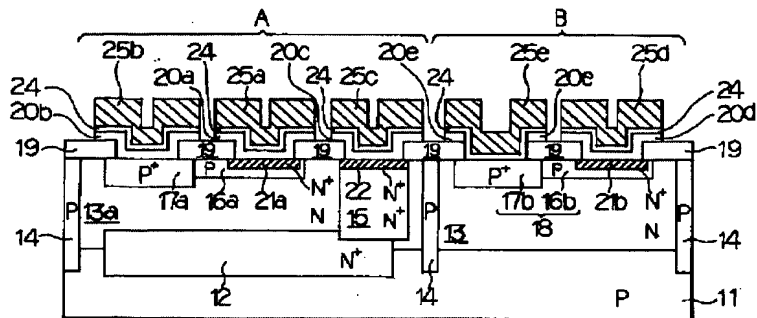
【図3】



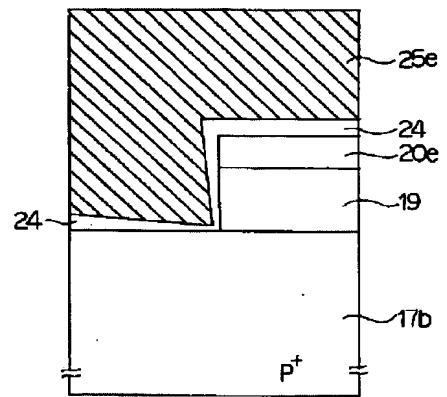
【図5】



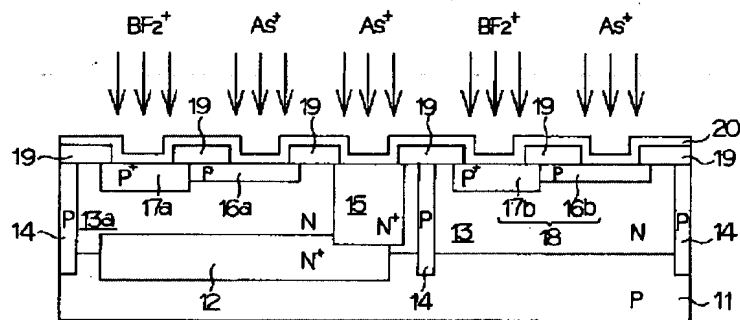
【図6】



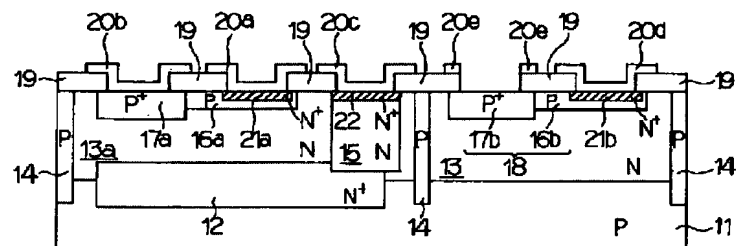
【図7】



【図8】



【図9】



The diagram illustrates a cross-sectional view of a semiconductor device, divided into two main sections, A and B, by a central vertical line. The device is built on a substrate (11) with a base layer (12). Various doped regions are indicated by 'P', 'N', 'N+', and 'P+'. Section A features a series of gates (20a, 20c, 20e) with spacers (24) and a central region (22) containing layers 15 and 21a. Section B shows a similar structure with gates (20e, 20d) and a central region (18) containing layers 16b and 21b. The device is built on a substrate (11) with a base layer (12) and various doped regions (P, N, N+, P+).

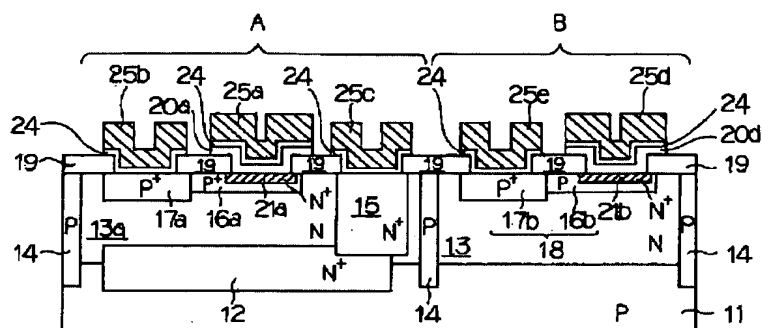
A cross-sectional view of a semiconductor device along a line A-A'. The device features a substrate 11 with a P-type region. Above it is a layer 12 containing N+ regions 13a and 13b. A gate stack 14 covers the top, consisting of a gate oxide 19 and a gate electrode 20. In region A, there are three gate electrodes labeled 20a, 20c, and 20e. Region B contains one gate electrode labeled 20e. Source/drain regions 24 are formed under each gate electrode. Various other layers and contacts are indicated by labels such as 15, 16a, 17a, 18, 21a, 21b, 22, 23, 25a, 25b, 25c, 25d, and 25e.

A cross-sectional view of a semiconductor device. The substrate is labeled 11 and is of P-type. A base layer 12 is on top of the substrate. Above the base layer, there are several regions: 13a (P), 17a (P), 16a (N), 15 (N), and 14 (P). A layer 19 is on top of these regions. Above the layer 19, there are four groups of arrows pointing downwards, labeled BF₂⁺, As⁺, As⁺, and As⁺. To the right, there is another set of regions: 13b (P), 17b (P), 16b (N), 18 (N), and 14 (P). A layer 19 is on top of these regions. A layer 20 is on top of the layer 19. The entire structure is on a P-type substrate 11.

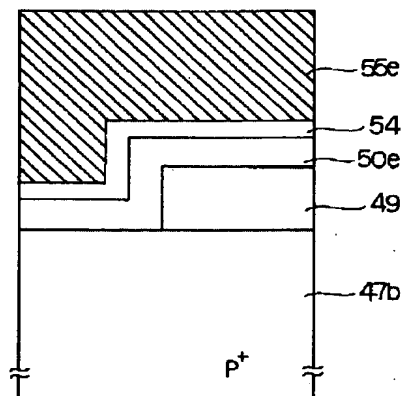
This cross-sectional view shows a semiconductor device with a substrate 11. A base layer 12 is formed on the substrate, containing regions 13a, 13b, and 13c. Above the base layer, there are several layers and regions: a layer 14, a layer 15, and a layer 16. The device features a series of rectangular structures 17a, 17b, and 17c, which are part of a larger structure 18. These structures are separated by regions 19. The top surface of the device is covered by a layer 20, which includes regions 20a, 20b, 20c, 20d, and 20e. The device is also characterized by regions 21a, 21b, and 21c, which are part of a larger structure 22. The device is further defined by regions 23, 24, and 25.

The diagram is a cross-sectional view of a semiconductor device, divided into two main sections, A and B, by a central vertical line. Section A (left) features a substrate (12) with a P-type region (11) and an N+ region (15). A series of gates (20a, 20c, 20e) are formed on the surface, with underlying layers (24, 25a, 25c, 25e) and contacts (20b, 20d). A central region (22) contains N+ and N layers. Section B (right) is similar, with gates (20e) and a central region (18) containing N+ and N layers. Various other layers and contacts are labeled with numbers and letters, including 14, 16a, 16b, 17a, 17b, 19, and 21a, 21b.

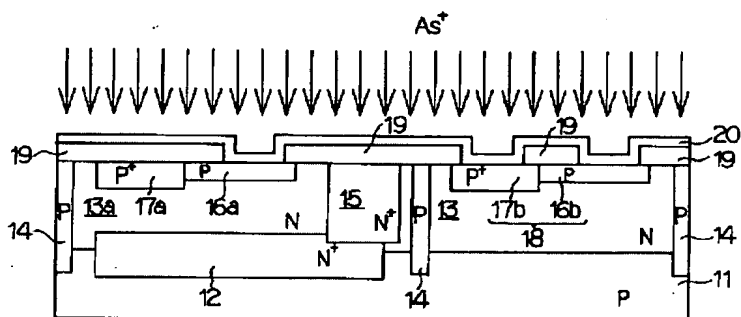
【図16】



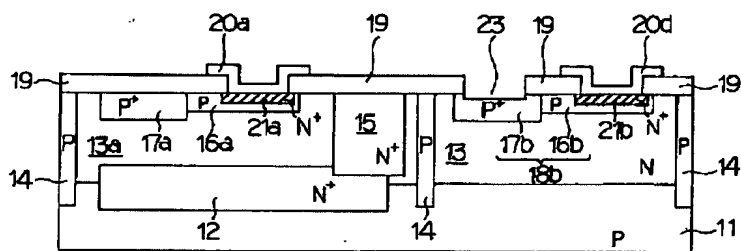
【図34】



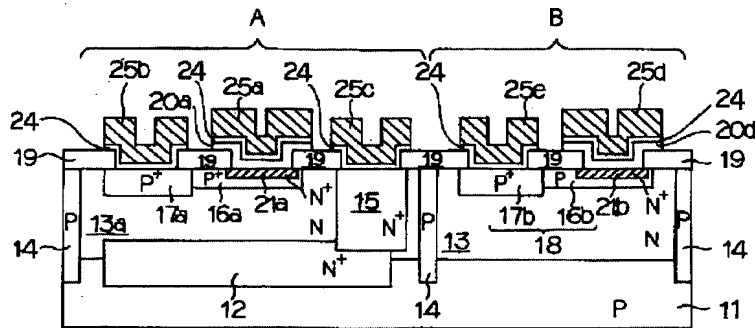
【図17】



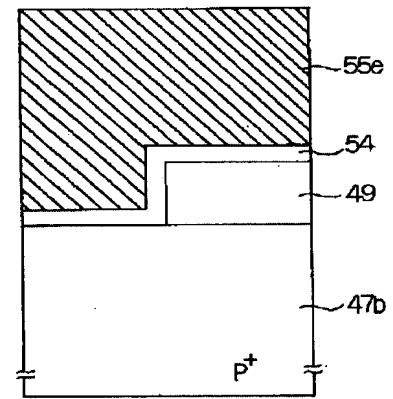
【図18】



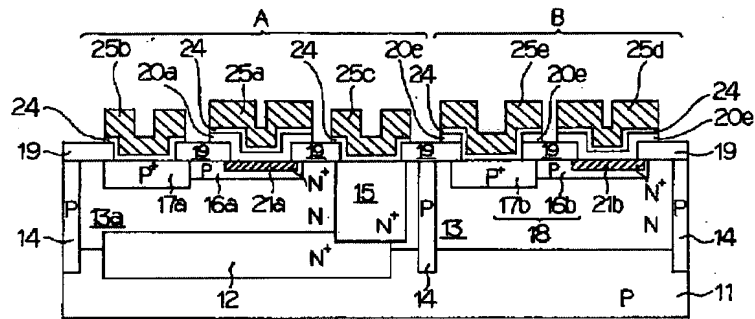
【図19】



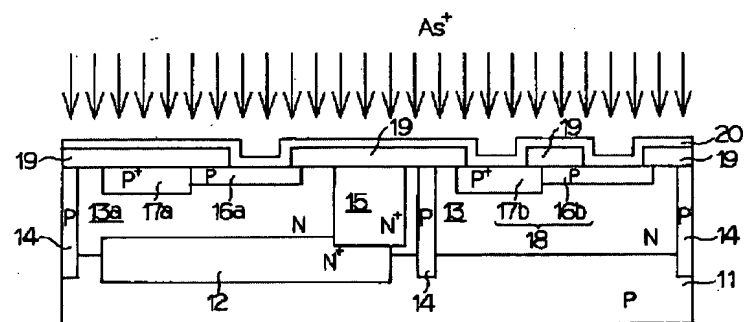
【図38】



【図20】



【図21】

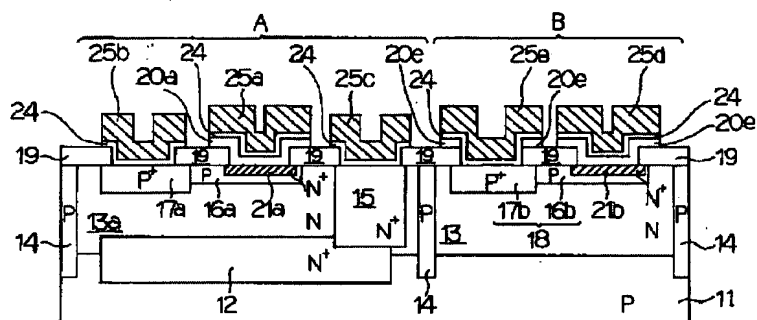


[illegible]

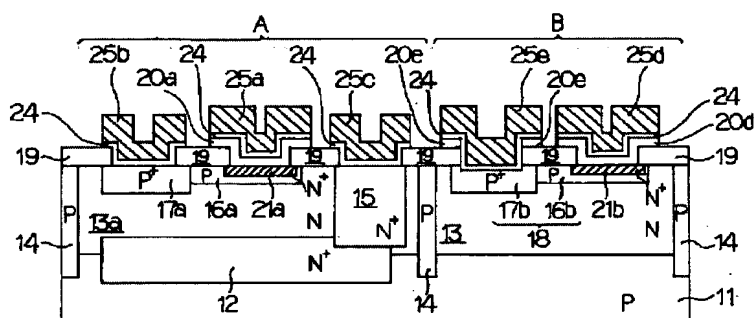
A cross-sectional view of a semiconductor device. At the top, a series of downward-pointing arrows represent an arsenic ion beam, labeled As^+ . The device structure consists of several layers and regions. A top layer (19) is patterned into a series of rectangular blocks. Below this, a layer (13) contains regions labeled P^+ and P . A central region (15) is labeled N . Below the P^+ regions, there are sub-regions labeled 13a, 17a, and 16a. To the right, another set of sub-regions is labeled 17b, 16b, and 18. A bottom layer (11) is labeled P . Other labels include 14, 16, and 20, which point to various interfaces and structural features of the device.

This diagram shows a cross-sectional view of a semiconductor device with two gates. The substrate is labeled 11 and is of type P. A first gate 12 is formed on the left, with a gate stack 13a on top of a gate oxide 14. The gate stack 13a includes a layer 17a, a layer 16a, and a layer 21a. The gate oxide 14 is labeled 15. The channel region is labeled 19. A second gate 18 is formed on the right, with a gate stack 13b on top of a gate oxide 14. The gate stack 13b includes a layer 17b, a layer 16b, and a layer 21b. The gate oxide 14 is labeled 15. The channel region is labeled 19. The device is surrounded by a passivation layer 20. The passivation layer 20 is labeled 20a, 20e, 20e, and 20d. The passivation layer 20 is also labeled 20a, 20e, 20e, and 20d. The passivation layer 20 is also labeled 20a, 20e, 20e, and 20d.

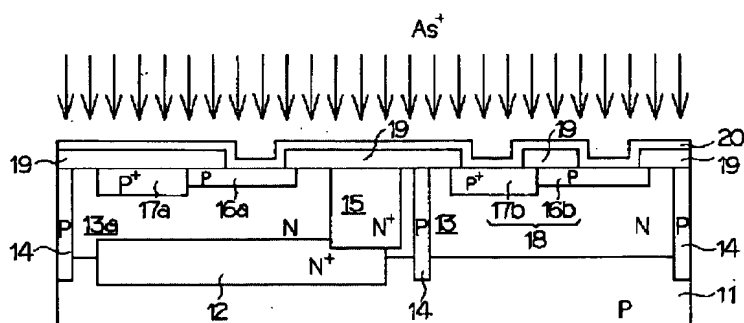
【図26】



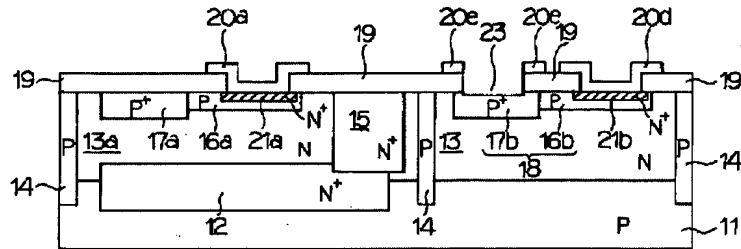
【図27】



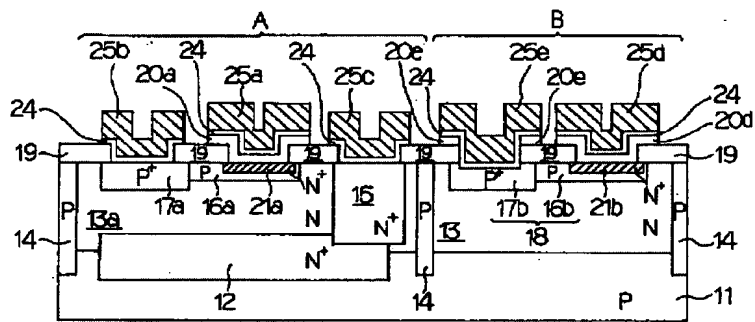
【図28】



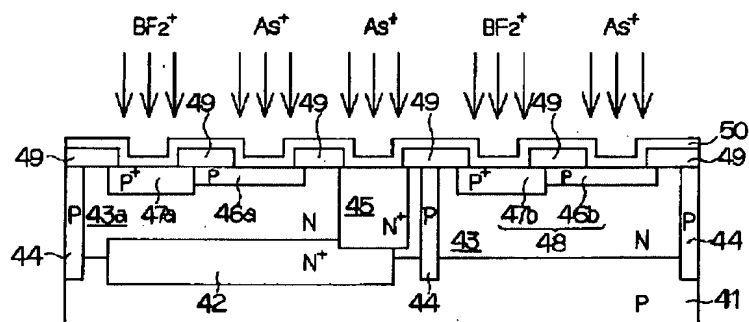
【図29】



【図30】



【図31】



A cross-sectional view of a semiconductor device. A central channel region 45 is surrounded by gate regions 43, 44, 46a, 46b, 47a, and 47b. The device is formed on a p-type substrate 41. A top layer 50 is present. Arrows indicate light incident on the top surface.

This diagram shows a cross-sectional view of a semiconductor device with two gates, 50a and 50d, positioned on top of a substrate 41. The gates are separated by a central region 49. The substrate 41 is a p-type material (P). The gates 50a and 50d are n+ regions (N+). The regions 43a and 43b are p+ regions (P+). The regions 47a and 47b are p regions (P). The regions 46a and 46b are n+ regions (N+). The regions 45a and 45b are n regions (N). The regions 44a and 44b are p regions (P). The regions 42a and 42b are n+ regions (N+). The regions 42c and 42d are n regions (N). The regions 42e and 42f are p regions (P).

THIS PAGE BLANK (USPTO)

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-256388

(43)Date of publication of application : 25.09.1998

(51)Int.Cl.

H01L 21/8222

H01L 27/06

H01L 29/866

(21)Application number : 09-061536

(71)Applicant : SONY CORP

(22)Date of filing : 14.03.1997

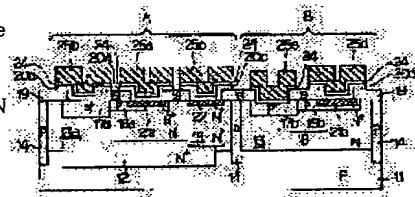
(72)Inventor : OISHI TETSUYA

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for manufacturing a semiconductor device in which destruction short circuit of a Zener zap diode is easy and an on-resistance value after destruction short circuit is stabilized, even when a barrier metal structure is employed for a metal wiring.

SOLUTION: This Zener zap diode is constituted with an anode region 18, comprising a P type impurity region 16b and a P+ type graft impurity region 17b, and a cathode region 21b comprising an N+ type impurity region. In this case, a recessed part is formed on the surface of the P+ type graft impurity region 17b, and a step in an opening part formed on an insulating film 19 on the P+ type graft impurity region 17b is made relatively large because depth of the recessed part is added to the thickness of the insulating film 19, so that a TiON barrier metal layer 24 interposed between the P+ type graft impurity region 17b and an anode electrode 25e comprising an Al alloy layer is locally made thin in a corner part of the opening part.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the semiconductor device with which a semiconductor device and its manufacture approach are started, especially zener-zap diode (Zener Zap Diode) and a bipolar transistor are loaded together on the same semi-conductor substrate, and its manufacture approach.

[0002]

[Description of the Prior Art] As for the conventional zener-zap diode, it was common to have used the emitter electrode and base electrode which used aluminum (aluminum) or aluminum alloy as a cathode (Cathode; cathode) electrode and an anode (Anode; anode plate) electrode, respectively, using the PN junction of the emitter region of an NPN bipolar transistor and base region which were formed for example, in Si (silicon) substrate front face to make. For this reason, zener-zap diode can be produced instantaneous in the process which creates an NPN bipolar transistor.

[0003] Moreover, when this zener-zap diode was used as a trimming equipment, trimming of cathode electrode-anode inter-electrode resistance was performed by impressing the reverse bias of high electric field and carrying out the destructive short circuit (zener zapping) of the zener-zap diode a cathode electrode, an anode electrode, and in between.

[0004] The mechanism of a destructive short circuit of this zener-zap diode is considered as follows. That is, if the reverse bias of high electric field is impressed to cathode electrode-anode inter-electrode, a temperature rise will happen by generation of heat by the high current which flows to hard flow to the PN-junction section. Furthermore, if the intrinsic temperature from which a local current concentration field will occur and the temperature of this current concentration field will produce rapid increase of a carrier if temperature rises is reached, it will become a low resistance field momentarily, PN-junction destruction will be produced, and aluminum of an electrode section will dissolve according to that consecutiveness current further. And this dissolved aluminum and Si of Si substrate react, and aluminum filament which connects cathode electrode-anode inter-electrode is formed in Si substrate front face.

[0005] By the way, barrier metal structure has been adopted as metal wiring of a bipolar transistor more often with detailed-izing of the component by high integration of a bipolar IC (integrated circuit) in recent years. And it is common to use a refractory metal like TiON, in order to control the migration of metal wiring and to control the reaction of aluminum and Si in the contact part of a component as this barrier metal.

[0006] Below, the manufacture approach of a semiconductor device that the bipolar transistor and zener-zap diode which adopted barrier metal structure as metal wiring are loaded together on the same semiconductor substrate is explained using drawing 31 - drawing 36 . some zener-zap diodes which show a process sectional view for drawing 31 - drawing 33 to explain the 1st manufacture approach of the

THIS PAGE BLANK (USPTO)

conventional semiconductor device, and drawing 34 to drawing 33 here -- a process sectional view for an enlarged drawing, drawing 35 - drawing 37 to explain the 2nd manufacture approach of the conventional semiconductor device, and some zener-zap diodes which show drawing 38 to drawing 37 - it is an enlarged drawing.

[0007] (The 1st conventional manufacture approach) It is N+ to P type Si substrate 41 front face first. After forming the mold embedding layer 42, the N type epitaxial layer 43 is grown up. Moreover, the P type isolation 44 which reaches the P type Si substrate 41 from N type epitaxial layer 43 front face is formed, it detaches by the component to an NPN bipolar transistor field and a zener-zap diode field, and the N type epitaxial layer 43 on the N type embedding layer 42 is set to N type collector field 43a. Moreover, N type epitaxial layer 43 front face to N+ N+ for collector drawing which reaches the mold embedding layer 42 The mold plug-in (Plug In) 45 is formed.

[0008] Then, it is P+, while adding a P type impurity on the N type collector field 43a front face of an NPN bipolar transistor field, and N type epitaxial layer 43 front face of a zener-zap diode field alternatively and forming P type base region 46a and P type impurity range 46b in them, respectively. Mold graft base field 47a and P+ P type impurity range 46b and P+ which form mold graft impurity range 47b, respectively, and adjoin The anode field 48 which consists of mold graft impurity range 47b is formed.

[0009] Then, after depositing an insulator layer 49 all over a base, etching removal of the insulator layer 49 is carried out alternatively, and they are a P type base region 46a top and P+. A mold graft base field 47a, N+ mold plug-in 45, and P type impurity range 46b top and P+ On mold graft impurity range 47b, opening is formed, respectively. Then, a P type base region 46a top and N+ after depositing the polycrystalline silicon layer 50 all over a base It is As+ to the polycrystalline silicon layer 50 of opening on the mold plug-in 45 and P type impurity range 46b. It is P+ while pouring in alternatively. It is for example, BF₂+ to the polycrystalline silicon layer 50 of opening on mold graft base field 47a and P type impurity range 46b. It pours in alternatively (refer to drawing 31).

[0010] Subsequently, As (arsenic) and B (boron) are diffused from the polycrystalline silicon layer 50. It is N+ to a P type base region 46a front face. It is mold emitter region 51a N+ It is N+ to mold plug-in 45 front face. The mold collector contact field 52 It is N+ to a P type impurity range 46b front face. Cathode field 51b which consists of a mold impurity range P+ It is P+ to a mold graft base field 47a front face. It is a mold base contact field (not shown) P+ An anode contact field (not shown) is formed in a mold graft impurity range 47b front face, respectively.

[0011] Then, patterning of the polycrystalline silicon layer 50 is carried out to a predetermined configuration, and it is N+. A mold emitter region 51a top and P+ A mold graft base field 47a top and N+ The polycrystalline silicon layers 50a, 50b, 50c, 50d, and 50e are made to remain on the insulator layer 49 of these perimeters at each opening list on the mold collector contact field 52, cathode field 51b, and an anode contact field (refer to drawing 32).

[0012] Subsequently, after depositing in order aluminum system metal layer which consists of the barrier metal layer and aluminum, or aluminum alloy which consists of TiON all over a base, patterning of these is carried out to a predetermined configuration. N+ Emitter electrode 55a which consists of an aluminum system metal layer through polycrystalline silicon layer 50a and the barrier metal layer 54 on mold emitter region 51a P+ Base-electrode 55b which consists of an aluminum system metal layer through polycrystalline silicon layer 50b and the barrier metal layer 54 on mold graft base field 47a N+ Collector-electrode 55c which consists of an aluminum system metal layer through polycrystalline silicon layer 50c and the barrier metal layer 54 on the mold collector contact field 52 55d of cathode electrodes which consist of an aluminum system metal layer through 50d of polycrystalline silicon layers, and the barrier metal layer 54 on cathode field 51b P+ of the anode field 48 Anode electrode 55e which consists of an aluminum system metal layer through polycrystalline silicon layer 50e and the barrier metal layer 54 is formed on mold graft impurity range 47b, respectively.

THIS PAGE BLANK (USPTO)

[0013] Thus, the zener-zap diode B of barrier metal structure is loaded together on the same semiconductor substrate as well as the NPN bipolar transistor A by which the polycrystalline silicon layers 50a, 50b, and 50c are used for the emitter polar zone of barrier metal structure, the base-electrode sections, and all the collector-electrode sections, and a semiconductor device is produced (refer to drawing 33).

[0014] It sets here to the zener-zap diode B shown in drawing 33 , and is P+ of the anode field 48. The level difference which polycrystalline silicon layer 50e on opening on mold graft impurity range 47b and the insulator layer 49 of this perimeter makes Other N+ Since it becomes equal to the level difference which polycrystalline silicon layer 60a on opening on mold emitter region 51a and the insulator layer 59 of this perimeter makes, It is P+ as shown in the drawing 34 which is an enlarged drawing a part. The barrier metal layer 54 which intervenes between mold graft impurity range 47b, and anode electrode 65e is formed in almost uniform thickness. Moreover, although illustration is not carried out, the barrier metal layer 54 which intervenes between cathode field 51b and 55d of cathode electrodes as well as the case where it is shown in drawing 34 serves as almost uniform thickness.

[0015] It is first made to be the same as that of the case of the 1st manufacture approach of the above-mentioned former. (The 2nd conventional manufacture approach) It is N+ to P type Si substrate 41 front face. Form the mold embedding layer 42 and the N type epitaxial layer 43 is grown up. While forming the P type isolation 44 and carrying out isolation to an NPN bipolar transistor field and a zener-zap diode field The N type epitaxial layer 43 on the N type embedding layer 42 is set to N type collector field 43a, and it is N+ for collector drawing. The mold plug-in 45 is formed. And it is P+ while forming P type base region 46a and P type impurity range 46b in an N type collector field 43a front face and N type epitaxial layer 43 front face, respectively. Mold graft base field 47a and P+ P type impurity range 46b and P+ which form mold graft impurity range 47b, respectively, and adjoin The anode field 48 which consists of mold graft impurity range 47b is formed.

[0016] Then, after depositing an insulator layer 49 all over a base, etching removal of this insulator layer 49 is carried out alternatively, and opening is formed, respectively on P type base region 46a and P type impurity range 46b. And it is As+ to the this polycrystalline silicon layer after depositing polycrystalline silicon layer 50 all over base 50 whole surface. It pours in (refer to drawing 35).

[0017] Patterning of the polycrystalline silicon layer 50 is carried out to a predetermined configuration. In each opening list on P type base region 46a and P type impurity range 46b subsequently, on the insulator layer 49 of these perimeters Such polycrystalline silicon layer 50a after making the polycrystalline silicon layers 50a and 50d remain, As is diffused from 50d and it is N+ to a P type base region 46a front face. It is mold emitter region 51a to a P type impurity range 46b front face N+ Cathode field 51b which consists of a mold impurity range is formed, respectively (refer to drawing 36).

[0018] Subsequently, etching removal of the insulator layer 49 is carried out alternatively, and it is P+. A mold graft base field 47a top and N+ The mold plug-in 45 top and P+ Opening is formed on mold graft impurity range 47b, respectively. Then, after depositing in order the barrier metal layer and aluminum system metal layer which consist of a refractory metal like TiON all over a base, patterning of these is carried out to a predetermined configuration. N+ Emitter electrode 55a which consists of an aluminum system metal layer through polycrystalline silicon layer 50a and the barrier metal layer 54 on mold emitter region 51a P+ Base-electrode 55b which consists of an aluminum system metal layer through the barrier metal layer 54 on mold graft base field 47a N+ Collector-electrode 55c which consists of an aluminum system metal layer through the barrier metal layer 54 on the mold plug-in 45 55d of cathode electrodes which consist of an aluminum system metal layer through 50d of polycrystalline silicon layers, and the barrier metal layer 54 on cathode field 51b P+ of the anode field 48 Anode electrode 55e which consists of an aluminum system metal layer through polycrystalline silicon layer 50e and the barrier metal layer 54 is formed on mold graft impurity range 47b, respectively.

THIS PAGE BLANK (USPTO)

[0019] Thus, the zener-zap diode B of barrier metal structure is loaded together on the same Si substrate 41 as well as the NPN bipolar transistor A by which polycrystalline silicon layer 50a is used only for the emitter polar zone among the emitter polar zone of barrier metal structure, the base-electrode section, and the collector-electrode section, and a semiconductor device is produced (refer to drawing 37).

[0020] It sets here to the zener-zap diode B shown in drawing 37 , and is P+ of the anode field 48. The level difference in opening on mold graft impurity range 47b Other N+ Since it becomes equal to the level difference which polycrystalline silicon layer 60a on opening on mold emitter region 51a and the insulator layer 59 of this perimeter makes, It is P+ as shown in the drawing 38 which is an enlarged drawing a part. The barrier metal layer 54 which intervenes between mold graft impurity range 47b and anode electrode 65e is formed in almost uniform thickness. Moreover, although illustration is not carried out, it becomes cathode field 51b and thickness also with the almost uniform barrier metal layer 54 which intervenes between 55d of cathode electrodes.

[0021]

[Problem(s) to be Solved by the Invention] Thus, it sets to the semiconductor device with which the above-mentioned conventional bipolar transistor A and the zener-zap diode B are loaded together on the same Si substrate 41. Also in the zener-zap diode B which will be created instantaneous in the production process of a bipolar transistor A if barrier metal structure is adopted as metal wiring The barrier metal layer 54 which consists of a refractory metal like TiON will intervene with almost uniform thickness between 55d of cathode electrodes, anode electrode 55e, and Si substrate 41 front faces which consist of an aluminum system metal. For this reason, by impressing the reverse bias of high electric field among 55d-anode electrode 55of cathode electrodes e, aluminum which the electrode section dissolved, and Si of the Si substrate 41 were made to react, and the problem of forming aluminum filament and that the mechanism of a destructive short circuit of zener-zap diode was checked arose. moreover -- for this reason, the problem that the ON (ON) resistance after a destructive short circuit varied was also produced.

[0022] Then, even if this invention is made in view of the above-mentioned trouble and adopts barrier metal structure as metal wiring, the destructive short circuit of zener-zap diode is easy for it, and it aims at offering the semiconductor device which can stabilize the on resistance value after a destructive short circuit, and its manufacture approach.

[0023]

[Means for Solving the Problem] The above-mentioned technical problem is attained by the semiconductor device concerning the following this inventions, and its manufacture approach. Namely, the 1st and 2nd impurity ranges where the semiconductor device concerning claim 1 makes a PN junction, It is a semiconductor device possessing the zener-zap diode which has the 1st and 2nd electrodes connected to these 1st and 2nd impurity ranges, respectively. While the 1st and 2nd barrier metal layers intervene, respectively between the 1st electrode and the 1st impurity range and between the 2nd electrode and the 2nd impurity range When it has the part where one [at least] barrier metal layer of these [1st] and the 2nd barrier metal layer was thin-film-ized locally and a predetermined reverse bias is impressed to inter-electrode [1st and 2nd], Current concentration arises in the part where the barrier metal layer was thin-film-ized locally, junction destruction occurs, and it is characterized by forming the filament which connects the 1st and 2nd electrodes.

[0024] Thus, it sets to the semiconductor device concerning claim 1. Even if it is the zener-zap diode of the barrier metal structure where the 1st and 2nd barrier metal layers which consist of a refractory metal, for example, respectively intervene between the 1st and 2nd electrodes which form a cathode electrode and an anode electrode, and the 1st and 2nd impurity ranges which make a PN junction By having the part where one [at least] barrier metal layer of the 1st and 2nd barrier metal layers was thin-film-ized locally When the reverse bias of high electric field is impressed to inter-electrode [1st and 2nd], while the current concentration with this barrier metal layer local in the part thin-film-ized locally occurs and a

THIS PAGE BLANK (USPTO)

barrier metal layer is torn. The stable filament which the metal and semi-conductor substrate which constitute an electrode by generation of heat accompanying it react, and connects inter-electrode [1st and 2nd] becomes easy to be formed. Therefore, while a zener-zap generating current falls and the destructive short circuit of zener-zap diode becomes easy, the on resistance value after a destructive short circuit will become stable.

[0025] In addition, in the semiconductor device of the claim 1 above-mentioned publication, the semiconductor substrate with which the 1st and 2nd impurity ranges are formed in the front face is an Si substrate, and it is desirable for the 1st and 2nd electrodes to consist of aluminum or an aluminum alloy. In this case, when the reverse bias of high electric field is impressed to inter-electrode [1st and 2nd] and the current concentration with a barrier metal layer local in the part thin-film-ized locally occurs aluminum which constitutes the 1st and 2nd electrodes by generation of heat accompanying it will dissolve easily, this dissolved aluminum and Si of Si substrate will react, and aluminum filament which connects inter-electrode [1st and 2nd] will be easily formed in Si substrate front face.

[0026] Moreover, in the semiconductor device of the claim 1 above-mentioned publication, zener-zap diode is not limited when it is a simple substance, and it may be loaded together on the same semiconductor substrate as a bipolar transistor. In this case, although metal wiring of a bipolar transistor also has barrier metal structure, since the barrier metal layer in this bipolar transistor does not need to have the part thin-film-ized locally, it achieves the function of barrier metal structure original.

[0027] Moreover, the manufacture approach of the semiconductor device concerning claim 4. It is the manufacture approach of a semiconductor device that the zener-zap diode and the bipolar transistor which have the 1st and 2nd impurity ranges which make a PN junction are loaded together on the same semiconductor substrate. After forming a collector field in a semiconductor substrate front face, the impurity of the 1st conductivity type is added alternatively. The 1st process which forms a base region in a collector field front face, and forms the 1st impurity range in a semiconductor substrate front face, respectively, The 2nd process which removes alternatively the insulator layer deposited all over the base, forms the 3rd opening on a collector field and forms the 4th and 5th openings for the 1st and 2nd openings on the 1st impurity range on a base region, respectively, After depositing a polycrystalline silicon layer all over a base, while adding the impurity of the 1st conductivity type in the polycrystalline silicon layer of the 2nd opening. The 3rd process which adds the impurity of the 2nd conductivity type in the polycrystalline silicon layer of the 1st, 3rd, and 4th openings, The impurity of the 1st conductivity type in a polycrystalline silicon layer and the 2nd conductivity type is diffused. The 4th process which forms a collector contact field in a collector field front face, and forms the 2nd impurity range in a base region front face for an emitter region and a base contact field on the 1st impurity range front face, respectively, While carrying out patterning of the polycrystalline silicon layer to a predetermined configuration, making a polycrystalline silicon layer remain on the insulator layer of these perimeters in the 1st thru/or 4th opening list and removing the 5th opening and the polycrystalline silicon layer on the insulator layer of this perimeter. The 1st impurity range in the 5th opening is etched by over-etching of this polycrystalline silicon layer. The 5th process which forms a crevice in the 1st impurity range front face, the base electrode which carries out patterning of the barrier metal layer and metal layer which carried out sequential deposition all over the base to a predetermined configuration, and consists of a metal layer through a barrier metal layer on the 1st thru/or the polycrystalline silicon layer of the 4th opening, an emitter electrode, It has the 6th process which forms the 1st electrode which becomes the 5th opening from a metal layer through a barrier metal layer about a collector electrode and the 2nd electrode, respectively. In case a barrier metal layer is deposited in said 6th process, it is characterized by thin-film-izing locally the barrier metal layer deposited on the 1st [in the 5th opening] impurity range.

[0028] Thus, it sets to the manufacture approach of the semiconductor device concerning claim 4. While removing the 5th opening on the 1st impurity range, and the polycrystalline silicon layer on the insulator

THIS PAGE BLANK (USPTO)

layer of this perimeter By etching the 1st impurity range in the 5th opening by over-etching of this polycrystalline silicon layer, and forming a crevice in the 1st impurity range front face Since the level difference in this 5th opening becomes that by which the depth of a crevice joined the thickness of an insulator layer and becomes larger than the level difference in other openings, In case a barrier metal layer is deposited in a next process, while good step coverage is obtained in other openings, step coverage gets worse in the 5th opening, and the barrier metal layer deposited on the 1st [in the 5th opening] impurity range is thin-film-ized locally.

[0029] For this reason, when the reverse bias of high electric field is impressed to inter-electrode [of zener-zap diode / 1st and 2nd], while the current concentration with this barrier metal layer local in the part thin-film-ized locally occurs and a barrier metal layer is torn, the filament which the metal and semi-conductor substrate which constitute an electrode by generation of heat accompanying it react, and connects inter-electrode [1st and 2nd] is formed. Therefore, securing the barrier property of the bipolar transistor of barrier metal structure, the destructive short circuit of zener-zap diode is easy, and a semiconductor device with the stable on resistance value after a destructive short circuit is produced easily.

[0030] Moreover, it sets to the manufacture approach of the semiconductor device concerning claim 4. The 1st impurity range is formed in coincidence in the process which forms a base region. The 2nd impurity range is formed in coincidence in the process which forms an emitter region. In the process which carries out patterning of the polycrystalline silicon layer of polar zone, such as an emitter, a crevice is formed in the 5th impurity range front face [1st] of opening circles at coincidence. While forming the 1st and 2nd electrodes in coincidence in the process which forms the base electrode which consists of a metal layer through a barrier metal layer, the barrier metal layer which intervenes between the 1st electrode and the 1st impurity range is thin-film-ized locally. For this reason, a destructive short circuit is easy, and zener-zap diode with the stable on resistance value after a destructive short circuit is produced instantaneous on the same semi-conductor substrate, without adding a new process to the conventional production process which produces the bipolar transistor of an emitter, the base, and the barrier metal structure that is using the polycrystalline silicon layer for each polar zone of a collector in any way.

[0031] Moreover, the manufacture approach of the semiconductor device concerning claim 5 In the manufacture approach of the semiconductor device concerning above-mentioned claim 4, patterning of the polycrystalline silicon layer is carried out to a predetermined configuration instead of said 5th process. Make a polycrystalline silicon layer remain on the insulator layer of these perimeters in the 1st thru/or 4th opening list, a polycrystalline silicon layer is made to remain on the insulator layer of the 5th perimeter of opening, and it is characterized by having the 5th process which removes the polycrystalline silicon layer of the 5th opening.

[0032] Thus, it sets to the manufacture approach of the semiconductor device concerning claim 5. While making a polycrystalline silicon layer remain on the insulator layer of the 5th perimeter of opening on the 1st impurity range By removing the polycrystalline silicon layer of the 5th opening, the level difference in this 5th opening Since it becomes that by which the thickness of a polycrystalline silicon layer joined the thickness of an insulator layer and becomes larger than the level difference in other openings, In case a barrier metal layer is deposited in a next process, while good step coverage is obtained in other openings, step coverage gets worse in the 5th opening, and the barrier metal layer deposited on the 1st [in the 5th opening] impurity range is thin-film-ized locally. Therefore, like the case of above-mentioned claim 4, securing the barrier property of the bipolar transistor of barrier metal structure, the destructive short circuit of zener-zap diode is easy, and a semiconductor device with the stable on resistance value after a destructive short circuit is produced easily.

[0033] Moreover, it sets to the manufacture approach of the semiconductor device concerning claim 5. The 1st impurity range is formed in coincidence in the process which forms a base region. The 2nd

THIS PAGE BLANK (USPTO)

impurity range is formed in coincidence in the process which forms an emitter region. A polycrystalline silicon layer is made to remain on the insulator layer of the 5th perimeter of opening at coincidence in the process which carries out patterning of the polycrystalline silicon layer of polar zone, such as an emitter. While forming the 1st and 2nd electrodes in coincidence in the process which forms the base electrode which consists of a metal layer through a barrier metal layer, the barrier metal layer which intervenes between the 1st electrode and the 1st impurity range is thin-film-ized locally. For this reason, like the case of above-mentioned claim 4, a destructive short circuit is easy, and zener-zap diode with the stable on resistance value after a destructive short circuit is produced instantaneous on the same semi-conductor substrate, without adding a new process to the conventional production process which produces the bipolar transistor of an emitter, the base, and the barrier metal structure that is using the polycrystalline silicon layer for each polar zone of a collector in any way.

[0034] Moreover, the manufacture approach of the semiconductor device concerning claim 6 In the manufacture approach of the semiconductor device concerning above-mentioned claim 4, patterning of the polycrystalline silicon layer is carried out to a predetermined configuration instead of said 5th process. While making a polycrystalline silicon layer remain on the insulator layer of these perimeters in the 1st thru/or 4th opening list, making a polycrystalline silicon layer remain on the insulator layer of the 5th perimeter of opening and removing the polycrystalline silicon layer of the 5th opening It is characterized by having the 5th process which etches the 1st impurity range in the 5th opening by over-etching of this polycrystalline silicon layer, and forms a crevice in the 1st impurity range front face.

[0035] Thus, it sets to the manufacture approach of the semiconductor device concerning claim 6. While making a polycrystalline silicon layer remain on the insulator layer of the 5th perimeter of opening on the 1st impurity range and removing the polycrystalline silicon layer of the 5th opening By etching the 1st impurity range in the 5th opening by over-etching of this polycrystalline silicon layer, and forming a crevice in the 1st impurity range front face The level difference in this 5th opening becomes that by which the thickness of a polycrystalline silicon layer and the depth of a crevice joined the thickness of an insulator layer, and becomes larger than the level difference in other openings. And since the level difference in this 5th opening is still larger than above-mentioned claim 4 or the case of 5, In case a barrier metal layer is deposited in a next process, while good step coverage is obtained in other openings, step coverage gets worse in the 5th opening. The barrier metal layer deposited on the 1st [in the 5th opening] impurity range is thin-film-ized locally beyond above-mentioned claim 4 or the case of 5. Therefore, securing the barrier property of the bipolar transistor of barrier metal structure, rather than the case where the destructive short circuit of zener-zap diode is above-mentioned claim 4 or 5, it is still easier and a semiconductor device with the stable on resistance value after a destructive short circuit is produced easily.

[0036] Moreover, it sets to the manufacture approach of the semiconductor device concerning claim 6. The 1st impurity range is formed in coincidence in the process which forms a base region. While making a polycrystalline silicon layer remain on the insulator layer of the 5th perimeter of opening at coincidence in the process which forms the 2nd impurity range in coincidence in the process which forms an emitter region, and carries out patterning of the polycrystalline silicon layer of polar zone, such as an emitter In the process which forms a crevice in the 1st impurity range front face in the 5th opening, and forms the base electrode which consists of a metal layer through a barrier metal layer, while forming the 1st and 2nd electrodes in coincidence The barrier metal layer which intervenes between the 1st electrode and the 1st impurity range is thin-film-ized locally. For this reason, like the case of above-mentioned claim 4, a destructive short circuit is easy, and zener-zap diode with the stable on resistance value after a destructive short circuit is produced instantaneous on the same semi-conductor substrate, without adding a new process to the conventional production process which produces the bipolar transistor of an emitter, the base, and the barrier metal structure that is using the polycrystalline silicon layer for each polar zone of a collector in any way.

THIS PAGE BLANK (USPTO)

[0037] In addition, in the manufacture approach of the semiconductor device concerning above-mentioned claims 4-6, the sequence of said 4th process and said 5th process may be replaced, and the 4th process may be performed after the 5th process. That is, after performing patterning of a polycrystalline silicon layer instead of performing patterning of a polycrystalline silicon layer after performing impurity diffusion from a polycrystalline silicon layer and forming an emitter region and the 2nd impurity range, impurity diffusion from a polycrystalline silicon layer may be performed, and an emitter region and the 2nd impurity range may be formed. Also in this case, the same operation as the case of above-mentioned claim 4 is done so.

[0038] Moreover, the manufacture approach of the semiconductor device concerning claim 8 It is the manufacture approach of a semiconductor device that the zener-zap diode and the bipolar transistor which have the 1st and 2nd impurity ranges which make a PN junction are loaded together on the same semi-conductor substrate. After forming a collector field in a semi-conductor substrate front face, the impurity of the 1st conductivity type is added alternatively. The 1st process which forms a base region in a collector field front face, and forms the 1st impurity range in a semi-conductor substrate front face, respectively, The 2nd process which removes alternatively the insulator layer deposited all over the base, forms the 1st opening on a base region and forms the 2nd and 3rd openings on the 1st impurity range, respectively, The 3rd process which adds the impurity of the 2nd conductivity type all over a polycrystalline silicon layer after depositing a polycrystalline silicon layer all over a base, While carrying out patterning of the polycrystalline silicon layer to a predetermined configuration, making a polycrystalline silicon layer remain on the insulator layer of these perimeters in the 1st and 2nd opening lists and removing the 3rd opening and the polycrystalline silicon layer on the insulator layer of this perimeter The 4th process which etches the 1st impurity range in the 3rd opening by over-etching of this polycrystalline silicon layer, and forms a crevice in the 1st impurity range front face, The 5th process which diffuses the impurity of the 2nd conductivity type in a polycrystalline silicon layer, forms an emitter region in a base region front face, and forms the 2nd impurity range in the 1st impurity range front face, respectively, The 6th process which removes an insulator layer alternatively, forms the 4th opening on a base region and forms the 5th opening on a collector field, respectively, Patterning of the barrier metal layer and metal layer which carried out sequential deposition all over the base is carried out to a predetermined configuration. The emitter electrode and the 2nd electrode which consist of a metal layer through a barrier metal layer on the polycrystalline silicon layer of the 1st and 2nd openings The 1st electrode which becomes the 3rd thru/or the 5th opening from a metal layer through a barrier metal layer, In case it has the 7th process which forms a base electrode and a collector electrode, respectively and a barrier metal layer is deposited in said 7th process, it is characterized by thin-film-izing locally the barrier metal layer deposited on the 1st [in the 3rd opening] impurity range.

[0039] Thus, it sets to the manufacture approach of the semiconductor device concerning claim 8. While removing the 3rd opening on the 1st impurity range, and the polycrystalline silicon layer on the insulator layer of this perimeter By etching the 1st impurity range in the 3rd opening by over-etching of this polycrystalline silicon layer, and forming a crevice in the 1st impurity range front face Since the level difference in this 3rd opening becomes that by which the depth of a crevice joined the thickness of an insulator layer and becomes larger than the level difference in other openings, In case a barrier metal layer is deposited in a next process, while good step coverage is obtained in other openings, step coverage gets worse in the 3rd opening, and the barrier metal layer deposited on the 1st [in the 3rd opening] impurity range is thin-film-ized locally. Therefore, securing the barrier property of the bipolar transistor of barrier metal structure, the destructive short circuit of zener-zap diode is easy, and a semiconductor device with the stable on resistance value after a destructive short circuit is produced easily.

[0040] Moreover, it sets to the manufacture approach of the semiconductor device concerning claim 8. The 1st impurity range is formed in coincidence in the process which forms a base region. The 2nd

THIS PAGE BLANK (USPTO)

impurity range is formed in coincidence in the process which forms an emitter region. In the process which carries out patterning of the polycrystalline silicon layer of the emitter polar zone, a crevice is formed in the 3rd impurity range front face [1st] of opening circles at coincidence. While forming the 1st and 2nd electrodes in coincidence in the process which forms the base electrode which consists of a metal layer through a barrier metal layer, the barrier metal layer which intervenes between the 1st electrode and the 1st impurity range is thin-film-ized locally. For this reason, a destructive short circuit is easy, and zener-zap diode with the stable on resistance value after a destructive short circuit is produced instantaneous on the same semi-conductor substrate, without adding a new process to the conventional production process which produces the bipolar transistor which is using the polycrystalline silicon layer only for the emitter polar zone in any way.

[0041] Moreover, the manufacture approach of the semiconductor device concerning claim 9 In the manufacture approach of the semiconductor device concerning above-mentioned claim 8, patterning of the polycrystalline silicon layer is carried out to a predetermined configuration instead of said 4th process. Make a polycrystalline silicon layer remain on the insulator layer of these perimeters in the 1st and 2nd opening lists, a polycrystalline silicon layer is made to remain on the insulator layer of the 3rd perimeter of opening, and it is characterized by having the 4th process which removes the polycrystalline silicon layer of the 3rd opening.

[0042] Thus, it sets to the manufacture approach of the semiconductor device concerning claim 9. While making a polycrystalline silicon layer remain on the insulator layer of the 3rd perimeter of opening on the 1st impurity range By removing the polycrystalline silicon layer of the 3rd opening, the level difference in this 3rd opening Since it becomes that by which the thickness of a polycrystalline silicon layer joined the thickness of an insulator layer and becomes larger than the level difference in other openings, In case a barrier metal layer is deposited in a next process, while good step coverage is obtained in other openings, step coverage gets worse in the 3rd opening, and the barrier metal layer deposited on the 1st [in the 3rd opening] impurity range is thin-film-ized locally. Therefore, like the case of above-mentioned claim 8, securing the barrier property of the bipolar transistor of barrier metal structure, the destructive short circuit of zener-zap diode is easy, and a semiconductor device with the stable on resistance value after a destructive short circuit is produced easily.

[0043] Moreover, it sets to the manufacture approach of the semiconductor device concerning claim 9. The 1st impurity range is formed in coincidence in the process which forms a base region. The 2nd impurity range is formed in coincidence in the process which forms an emitter region. A polycrystalline silicon layer is made to remain on the insulator layer of the 3rd perimeter of opening at coincidence in the process which carries out patterning of the polycrystalline silicon layer of the emitter polar zone. While forming the 1st and 2nd electrodes in coincidence in the process which forms the base electrode which consists of a metal layer through a barrier metal layer, the barrier metal layer which intervenes between the 1st electrode and the 1st impurity range is thin-film-ized locally. For this reason, like the case of above-mentioned claim 8, a destructive short circuit is easy, and zener-zap diode with the stable on resistance value after a destructive short circuit is produced instantaneous on the same semi-conductor substrate, without adding a new process to the conventional production process which produces the bipolar transistor which is using the polycrystalline silicon layer only for the emitter polar zone in any way.

[0044] Moreover, the manufacture approach of the semiconductor device concerning claim 10 In the manufacture approach of the semiconductor device concerning above-mentioned claim 8, patterning of the polycrystalline silicon layer is carried out to a predetermined configuration instead of said 4th process. While making a polycrystalline silicon layer remain on the insulator layer of these perimeters in the 1st and 2nd opening lists, making a polycrystalline silicon layer remain on the insulator layer of the 3rd perimeter of opening and removing the polycrystalline silicon layer of the 3rd opening It is characterized by having the 4th process which etches the 1st impurity range in the 3rd opening by over-

THIS PAGE BLANK (USPTO)

etching of a polycrystalline silicon layer, and forms a crevice in the 1st impurity range front face. [0045] Thus, it sets to the manufacture approach of the semiconductor device concerning claim 10. While making a polycrystalline silicon layer remain on the insulator layer of the 3rd perimeter of opening on the 1st impurity range and removing the polycrystalline silicon layer of the 3rd opening By etching the 1st impurity range in the 3rd opening by over-etching of this polycrystalline silicon layer, and forming a crevice in the 1st impurity range front face Since the level difference in this 3rd opening becomes that by which the thickness of a polycrystalline silicon layer and the depth of a crevice joined the thickness of an insulator layer and becomes larger than the level difference in other openings, In case a barrier metal layer is deposited in a next process, while good step coverage is obtained in other openings Step coverage gets worse in the 3rd opening, and the barrier metal layer deposited on the 1st [in the 3rd opening] impurity range is thin-film-ized locally beyond above-mentioned claim 8 or the case of 9. Therefore, securing the barrier property of the bipolar transistor of barrier metal structure, rather than the case where the destructive short circuit of zener-zap diode is above-mentioned claim 8 or 9, it is still easier and a semiconductor device with the stable on resistance value after a destructive short circuit is produced easily.

[0046] Moreover, it sets to the manufacture approach of the semiconductor device concerning claim 10. The 1st impurity range is formed in coincidence in the process which forms a base region. While making a polycrystalline silicon layer remain on the insulator layer of the 3rd perimeter of opening at coincidence in the process which forms the 2nd impurity range in coincidence in the process which forms an emitter region, and carries out patterning of the polycrystalline silicon layer of the emitter polar zone While forming the 1st and 2nd electrodes in coincidence in the process which forms a crevice in the 1st impurity range front face in the 3rd opening, and forms the base electrode which consists of a metal layer through a barrier metal layer The barrier metal layer which intervenes between the 1st electrode and the 1st impurity range is thin-film-ized locally. For this reason, like the case of above-mentioned claim 8, a destructive short circuit is easy, and zener-zap diode with the stable on resistance value after a destructive short circuit is produced instantaneous on the same semi-conductor substrate, without adding a new process to the conventional production process which produces the bipolar transistor which is using the polycrystalline silicon layer only for the emitter polar zone in any way.

[0047] Moreover, the manufacture approach of the semiconductor device concerning claim 11 It is the manufacture approach of a semiconductor device that the zener-zap diode and the bipolar transistor which have the 1st and 2nd impurity ranges which make a PN junction are loaded together on the same semi-conductor substrate. After forming a collector field in a semi-conductor substrate front face, the impurity of the 1st conductivity type is added alternatively. The 1st process which forms a base region in a collector field front face, and forms the 1st impurity range in a semi-conductor substrate front face, respectively, The 2nd process which removes alternatively the insulator layer deposited all over the base, forms the 1st opening on a base region and forms the 2nd opening on the 1st impurity range, respectively, The 3rd process which adds the impurity of the 2nd conductivity type all over a polycrystalline silicon layer after depositing a polycrystalline silicon layer all over a base, The 4th process which diffuses the impurity of the 2nd conductivity type in a polycrystalline silicon layer, forms an emitter region in a base region front face, and forms the 2nd impurity range in the 1st impurity range front face, respectively, Carry out patterning of the polycrystalline silicon layer to a predetermined configuration, and a polycrystalline silicon layer is made to remain on the insulator layer of these perimeters at the 1st and 2nd opening lists. The 5th process which makes a polycrystalline silicon layer remain on the insulator layer of the 3rd perimeter of an opening formation schedule field on the 1st impurity range, The 6th process which removes an insulator layer alternatively, forms the 4th opening on a base region and forms the 5th opening for the 3rd opening on a collector field on the 1st impurity range, respectively, Patterning of the barrier metal layer and metal layer which carried out sequential deposition all over the base is carried out to a predetermined configuration. The emitter electrode and

THIS PAGE BLANK (USPTO)

the 2nd electrode which consist of a metal layer through a barrier metal layer on the polycrystalline silicon layer of the 1st and 2nd openings The 1st electrode which becomes the 3rd thru/or the 5th opening from a metal layer through a barrier metal layer, In case it has the 7th process which forms a base electrode and a collector electrode, respectively and a barrier metal layer is deposited in said 7th process, it is characterized by thin-film-izing locally the barrier metal layer deposited on the 1st [in the 3rd opening] impurity range.

[0048] Thus, it sets to the manufacture approach of the semiconductor device concerning claim 11. By removing an insulator layer alternatively and forming the 3rd opening on the 1st impurity range, after making a polycrystalline silicon layer remain on the insulator layer around the 3rd opening formation schedule field on the 1st impurity range Since the level difference in this 3rd opening becomes that by which the thickness of a polycrystalline silicon layer joined the thickness of an insulator layer and it becomes larger than the level difference in other openings, In case a barrier metal layer is deposited in a next process, while good step coverage is obtained in other openings, step coverage gets worse in the 3rd opening, and the barrier metal layer deposited on the 1st [in the 3rd opening] impurity range is thin-film-ized locally. Therefore, like the case of above-mentioned claim 9, securing the barrier property of the bipolar transistor of barrier metal structure, the destructive short circuit of zener-zap diode is easy, and a semiconductor device with the stable on resistance value after a destructive short circuit is produced easily.

[0049] Moreover, it sets to the manufacture approach of the semiconductor device concerning claim 11. The 1st impurity range is formed in coincidence in the process which forms a base region. The 2nd impurity range is formed in coincidence in the process which forms an emitter region. A polycrystalline silicon layer is made to remain at coincidence in the process which carries out patterning of the polycrystalline silicon layer of the emitter polar zone on the insulator layer around the 3rd opening formation schedule field on the 1st impurity range. While forming the 1st and 2nd electrodes in coincidence in the process which forms the base electrode which consists of a metal layer through a barrier metal layer, the barrier metal layer which intervenes between the 1st electrode and the 1st impurity range is thin-film-ized locally. For this reason, a destructive short circuit is easy, and zener-zap diode with the stable on resistance value after a destructive short circuit is produced instantaneous on the same semi-conductor substrate, without adding a new process to the conventional production process which produces the bipolar transistor which is using the polycrystalline silicon layer only for the emitter polar zone in any way.

[0050] In addition, in the manufacture approach of the semiconductor device concerning above-mentioned claim 11, the sequence of said 4th process and said 5th process may be replaced, and the 4th process may be performed after the 5th process. That is, after performing patterning of a polycrystalline silicon layer instead of performing patterning of a polycrystalline silicon layer after performing impurity diffusion from a polycrystalline silicon layer and forming an emitter region and the 2nd impurity range, impurity diffusion from a polycrystalline silicon layer may be performed, and an emitter region and the 2nd impurity range may be formed. Also in this case, the same operation as the case of above-mentioned claim 11 is done so.

[0051]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained, referring to an accompanying drawing.

(1st operation gestalt) some of sectional views showing the semiconductor device with which the zener-zap diode and the bipolar transistor which drawing 1 requires for the gestalt of operation of the 1st of this invention are loaded together on the same semi-conductor substrate, and zener-zap diodes which show drawing 2 to drawing 1 -- it is an enlarged drawing. As shown in drawing 1 , the NPN bipolar transistor A and the zener-zap diode B are loaded together on the same P type Si substrate 11.

[0052] This NPN bipolar transistor A is N+ formed in P type Si substrate 11 front face. Mold embedding

THIS PAGE BLANK (USPTO)

layer 12, This N+ N type collector field 13a formed on the mold embedding layer 12, N+ N+ for collector drawing linked to the mold embedding layer 12 Mold plug-in 15, P+ which adjoins P type base region 16a formed in the N type collector field 13a front face, and this P type base region 16a Mold graft base, field 17a and N+ formed in the P type base region 16a front face It consists of mold emitter region 21a. Moreover, N+ In mold plug-in 15 front face, it is N+. The mold collector contact field 22 is formed and it is P+. In a mold graft base field 17a front face, it is P+. The mold base contact field (not shown) is formed.

[0053] Moreover, while the insulator layer 19 has accumulated all over the base, opening for each electrodes is formed in this insulator layer 19. And N+ On mold emitter region 21a, emitter electrode 25a which consists of an aluminum alloy layer through polycrystalline silicon layer 20a and the TiON barrier metal layer 24 P+ On mold graft base field 17a, base-electrode 25b which consists of an aluminum alloy layer through polycrystalline silicon layer 20b and the TiON barrier metal layer 24 N+ On the mold collector contact field 22, collector-electrode 25c which consists of an aluminum alloy layer through polycrystalline silicon layer 20c and the TiON barrier metal layer 24 is formed, respectively. That is, the polycrystalline silicon layers 20a, 20b, and 20c are altogether used for the emitter polar zone, the base-electrode section, and the collector-electrode section of the barrier metal structure in this NPN bipolar transistor A.

[0054] On the other hand, the zener-zap diode B is P type impurity range 16b and P+ which were adjoined and formed in N type epitaxial layer 13 front face on the P type Si substrate 11. The anode field 18 which consists of mold graft impurity range 17b, and N+ formed in the P type impurity range 16b front face It consists of cathode field 21b which consists of a mold impurity range.

[0055] Moreover, while the insulator layer 19 has accumulated all over the base, opening for each electrodes is formed in this insulator layer 19. And P+ of the anode field 18 On mold graft impurity range 17b, 25d of cathode electrodes with which anode electrode 25e which consists of an aluminum alloy layer through the TiON barrier metal layer 24 consists of an aluminum alloy layer through 20d of polycrystalline silicon layers and the TiON barrier metal layer 24 on cathode field 21b is formed, respectively.

[0056] Moreover, as shown in drawing 1 and drawing 2, it is P+ of the zener-zap diode B. The crevice is formed in the mold graft impurity range 17b front face, and it is this P+. The level difference in opening formed in the insulator layer 19 on mold graft impurity range 17b is that by which the depth of a crevice 23 joined the thickness of an insulator layer 19. For this reason, this P+ The level difference in opening on mold graft impurity range 17b is other N+. A mold emitter region 21a top and P+ A mold graft base field 17a top and N+ It is larger than the level difference which the polycrystalline silicon layers 20a, 20b, and 20c on the insulator layer 19 of these perimeters make in each opening list on the mold collector contact field 22.

[0057] And this P+ It is P+ as the level difference in opening on mold graft impurity range 17b is shown in drawing 2 in connection with a large thing. The TiON barrier metal layer 24 which intervenes between mold graft impurity range 17b and anode electrode 25e has the description of this operation gestalt in the point locally thin-film-ized in the corner of opening. Furthermore, relatively-prime child separation of these NPN bipolar transistor A and the zener-zap diode B is carried out by the P type isolation 14 which reaches the P type Si substrate 11 from N type epitaxial layer 13 front face again.

[0058] Next, the manufacture approach of the bipolar transistor A shown in drawing 1 and drawing 2 and the semiconductor device with which the zener-zap diode B is loaded together on the same semiconductor substrate is explained using the process sectional view of drawing 3 - drawing 5. In addition, the manufacture approach of this semiconductor device corresponds to above-mentioned claim 4.

[0059] First, an N type impurity is alternatively added on P type Si substrate 11 front face, and it is N+. These P type Si substrate 11 and N+ after forming the mold embedding layer 12 The N type epitaxial layer 13 is grown up on the mold embedding layer 12. Moreover, the P type isolation 14 which reaches

THIS PAGE BLANK (USPTO)

the P type Si substrate 11 from N type epitaxial layer 13 front face is formed using ion-implantation and a diffusion method, and isolation is carried out to an NPN bipolar transistor field and a zener-zap diode field. For this reason, the N type epitaxial layer 13 on the N type embedding layer 12 of an NPN bipolar transistor field is set to N type collector field 13a. Moreover, ion-implantation and a diffusion method are used and it is N+ from N type epitaxial layer 13 front face. N+ for collector drawing which reaches the mold embedding layer 12 The mold plug-in 15 is formed.

[0060] Then, it is P+, while adding a P type impurity alternatively on the N type collector field 13a front face of an NPN bipolar transistor field, and N type epitaxial layer 13 front face of a zener-zap diode field and forming P type base region 16a and P type impurity range 16b in coincidence using ion-implantation and a diffusion method, respectively. Mold graft base field 17a and P+ Mold graft impurity range 17b is formed in coincidence, respectively. In this way, P type impurity range 16b and P+ which were adjoined and formed in N type epitaxial layer 13 front face of a zener-zap diode field The anode field 18 which consists of mold graft impurity range 17b is formed.

[0061] Then, after depositing an insulator layer 19 all over a base, etching removal of the insulator layer 19 is alternatively carried out using a photolithography technique and an etching technique, and they are a P type base region 16a top and P+. A mold graft base field 17a top and N+ A mold plug-in 15 and P type impurity range 16b top and P+ On mold graft impurity range 17b, opening is formed, respectively.

[0062] Then, the polycrystalline silicon layer 20 is deposited all over a base. And a photolithography technique and ion-implantation are used and they are a P type base region 16a top and N+. It is As+ to the polycrystalline silicon layer 20 of opening on the mold plug-in 15 and P type impurity range 16b. It pours in alternatively. Moreover, it is P+ similarly. It is for example, BF₂+ to the polycrystalline silicon layer 20 of opening on mold graft base field 17a. It pours in alternatively. In addition, these As+ And BF₂+ The sequence which carries out an ion implantation may perform any first (refer to drawing 2).

[0063] Subsequently, As and B are diffused from the polycrystalline silicon layer 20 using a diffusion method. It is N+ to a P type base region 16a front face. It is mold emitter region 21a N+ It is N+ to mold plug-in 15 front face. The mold collector contact field 22 It is N+ to a P type impurity range 16b front face. N+ corresponding to mold emitter region 21a It is P+ while forming cathode field 21b which consists of a mold impurity range, respectively. P+ mold base contact field (not shown) is formed in a mold graft base field 17a front face.

[0064] Then, patterning of the polycrystalline silicon layer 20 is carried out to a predetermined configuration using a photolithography technique and an etching technique. N+ A mold emitter region 21a top and P+ On mold graft base field 17a, N+ each on the mold collector contact field 22 and N+ mold impurity range 21b, while making the polycrystalline silicon layers 20a, 20b, 20c, and 20d remain on the insulator layer 19 of these perimeters at an opening list Opening on P type graft impurity range 17b and the polycrystalline silicon layer 20 on the insulator layer 19 of this perimeter are removed, and the P type graft impurity range 17b front face of these opening circles is exposed. Furthermore, over-etching of the polycrystalline silicon layer 20 is performed intentionally, P type graft impurity range 17b exposed in opening is etched, and a crevice 23 is formed in the front face.

[0065] At this time, the level difference in opening on P type graft impurity range 17b Since it becomes that by which the depth of a crevice 23 joined the thickness of an insulator layer 19, they are other N+. On mold emitter region 21a, P+ A mold graft base field 17a top and N+ The mold collector contact field 22 top and N+ It becomes larger than the polycrystalline silicon layers [on the insulator layer 19 of these perimeters / 20a, 20b, 20c, and 20d] level difference to make at each opening list on mold impurity range 21b (refer to drawing 4).

[0066] Subsequently, after depositing a TiON barrier metal layer and aluminum alloy layer in order all over a base, for example using a spatter, patterning of these aluminum alloy layer and the TiON barrier metal layer is carried out to a predetermined configuration. In this way, N+ Emitter electrode 25a which consists of an aluminum alloy layer through polycrystalline silicon layer 20a and the TiON barrier metal

THIS PAGE BLANK (USPTO)

layer 24 on mold emitter region 21a P+ Base-electrode 25b which consists of an aluminum alloy layer through polycrystalline silicon layer 20b and the TiON barrier metal layer 24 on mold graft base field 17a N+ Collector-electrode 25c which consists of an aluminum alloy layer through polycrystalline silicon layer 20c and the TiON barrier metal layer 24 on the mold collector contact field 22 N+ 25d of cathode electrodes which consist of an aluminum alloy layer through 20d of polycrystalline silicon layers, and the TiON barrier metal layer 24 on mold impurity range 21b Anode electrode 25e which consists of an aluminum alloy layer through the TiON barrier metal layer 24 on P type graft impurity range 17b is formed in coincidence, respectively.

[0067] At this time, it is N+. A mold emitter region 21a top and P+ On mold graft base field 17a, N+ The mold collector contact field 22 top and N+ Polycrystalline silicon [list / each / on mold impurity range 21b / opening] layer 20 on insulator layer 19 of these perimeters a, Since the level difference (20b, 20c, and 20d) to make is relatively small, these polycrystalline silicon layers 20a, 20b, and 20c and the TiON barrier metal layer 24 deposited on 20d serve as almost uniform thickness by good step coverage. On the other hand, since the level difference in opening on P type graft impurity range 17b is relatively large, step coverage gets worse and the TiON barrier metal layer 24 deposited on P type graft impurity range 17b in this opening is locally thin-film-ized in the corner of opening.

[0068] Thus, the NPN bipolar transistor A and the zener-zap diode B which are shown in above-mentioned drawing 1 and drawing 2 are loaded together on the same semi-conductor substrate, and produce a semiconductor device (refer to drawing 5).

[0069] According to this operation gestalt, opening on P type graft impurity range 17b of the anode field 18 and the polycrystalline silicon layer 20 on the insulator layer 19 of this perimeter are removed as mentioned above. In case the P type graft impurity range 17b front face of these opening circles is exposed By etching P type graft impurity range 17b exposed in opening, and forming a crevice 23 in the front face by over-etching of the intentional polycrystalline silicon layer 20 The level difference in this opening becomes that by which the depth of a crevice 23 joined the thickness of an insulator layer 19. Other N+ A mold emitter region 21a top and P+ A mold graft base field 17a top and N+ It becomes larger than the level difference which the polycrystalline silicon layers 20a, 20b, and 20c on the insulator layer 19 of these perimeters make in each opening list on the mold collector contact field 22.

[0070] For this reason, in case the TiON barrier metal layer 24 is deposited, it becomes almost uniform thickness by step coverage with a level difference relatively good [the small polycrystalline silicon layers 20a and 20b and the TiON barrier metal layer 24 deposited on 20c]. On the other hand, relatively, a level difference worsens step coverage in opening on large P type graft impurity range 17b, and can thin-film-ize locally the TiON barrier metal layer 24 deposited on P type graft impurity range 17b in this opening in the corner of opening.

[0071] Therefore, P+ of the anode field 18 Even if it is the zener-zap diode B of the barrier metal structure where anode electrode 25e which consists of an aluminum alloy layer through the TiON barrier metal layer 24 is formed on mold graft impurity range 17b By having the part where this TiON barrier metal layer 24 was thin-film-ized locally When the reverse bias of high electric field is impressed between anode electrode 25e and cathode field 21b, while current concentration occurs in the part where this TiON barrier metal layer 24 was thin-film-ized locally and the TiON barrier metal layer 24 is torn aluminum alloy which constitutes anode electrode 25e by generation of heat accompanying it, and Si of Si substrate react, and aluminum filament which connects between anode electrode 25e and cathode field 21b becomes is easy to be formed.

[0072] Thus, while reducing a zener-zap generating current and making easy the destructive short circuit of zener-zap diode, securing the barrier property in the NPN bipolar transistor A of barrier metal structure, it becomes possible to stabilize the on resistance value after a destructive short circuit.

[0073] Moreover, according to this operation gestalt, they are P type base region 16a and P+. P type impurity range 16b and P+ which constitute the anode field 18 in coincidence in the process which

THIS PAGE BLANK (USPTO)

forms mold graft base field 17a, respectively Mold graft base field 17a is formed, respectively. N+ It sets at the process which forms mold emitter region 21a, and is N+ to coincidence. Cathode field 21b which consists of a mold impurity range is formed. While setting the polycrystalline silicon layer 20 of polar zone, such as an emitter, at the process which carries out patterning and removing opening on P type graft impurity range 17b, and the polycrystalline silicon layer 20 on the insulator layer 19 of this perimeter to coincidence A crevice 23 is formed in the P type graft impurity range 17b front face exposed to these opening circles. While forming 25d of cathode electrodes, and anode electrode 25e in coincidence in the process which forms emitter electrode 25a which consists of an aluminum alloy layer through the TiON barrier metal layer 24 The TiON barrier metal layer 24 which intervenes between P type graft impurity range 17b and anode electrode 25e is thin-film-ized locally.

[0074] In the emitter polar zone of barrier metal structure, the base-electrode sections, and all the collector-electrode sections, therefore, polycrystalline silicon layer 20a, In case the NPN bipolar transistor A for which 20b and 20c are used is produced Without adding a new process to the conventional production process (referring to above-mentioned drawing 31 - drawing 33) in any way The TiON barrier metal layer 24 which intervenes between P type graft impurity range 17b of the anode field 18 and anode electrode 25e can produce the zener-zap diode B which has the part thin-film-ized locally instantaneous.

[0075] In addition, in the operation gestalt of the above 1st, As and B are diffused from the polycrystalline silicon layer 20, and it is N+. Mold emitter region 21a etc. and P+ After forming a mold base contact field, The sequence may be replaced, although the crevice 23 is formed in the P type graft impurity range 17b front face exposed to opening circles while carrying out patterning of the polycrystalline silicon layer 20 and forming the polycrystalline silicon layers 20a, 20b, 20c, and 20d. That is, while carrying out patterning of the polycrystalline silicon layer 20 and forming the polycrystalline silicon layers 20a, 20b, 20c, and 20d, after forming a crevice 23 in the P type graft impurity range 17b front face exposed to opening circles, As and B are diffused from the polycrystalline silicon layers 20a, 20b, 20c, and 20d, and it is N+. Mold emitter region 21a etc. and P+ mold base contact field may be formed.

[0076] (2nd operation gestalt) some of sectional views showing the semiconductor device with which the zener-zap diode and the bipolar transistor which drawing 6 requires for the gestalt of operation of the 2nd of this invention are loaded together on the same semi-conductor substrate, and zener-zap diodes which show drawing 7 to drawing 6 -- it is an enlarged drawing. In addition, the same sign is given to the same component as the semiconductor device shown in above-mentioned drawing 1 and drawing 2 , and explanation is omitted.

[0077] As shown in drawing 6 , the NPN bipolar transistor A and the zener-zap diode B are loaded together on the same P type Si substrate 11. Since it is the same configuration as what is shown in drawing 1 and drawing 2 of an operation gestalt of the above 1st, this NPN bipolar transistor A omits that explanation.

[0078] on the other hand, like what shows the zener-zap diode B to drawing 1 and drawing 2 of an operation gestalt of the above 1st P type impurity range 16b and P+ The anode field 18 and N+ which consist of mold graft impurity range 17b It consists of cathode field 21b which consists of a mold impurity range. P+ On mold graft impurity range 17b, anode electrode 25e which consists of an aluminum alloy layer through the TiON barrier metal layer 24 On cathode field 21b, 25d of cathode electrodes which consist of an aluminum alloy layer through 20d of polycrystalline silicon layers and the TiON barrier metal layer 24 is formed, respectively.

[0079] However, unlike what is shown in drawing 1 and drawing 2 of an operation gestalt of the above 1st, as shown in drawing 6 and drawing 7 , it is P+ of the anode field 18. Polycrystalline silicon layer 20e is formed on the insulator layer 19 of the circumference of opening on mold graft impurity range 17b, and it is this P+. The level difference in opening formed on mold graft impurity range 17b is that by

THIS PAGE BLANK (USPTO)

which the thickness of polycrystalline silicon layer 20e joined the thickness of an insulator layer 19. For this reason, this level difference is other N+. A mold emitter region 21a top and P+ A mold graft base field 17a top and N+ It is larger than the level difference which the polycrystalline silicon layers 20a, 20b, and 20c on the insulator layer 19 of these perimeters make in each opening list on the mold collector contact field 22.

[0080] And this P+ In connection with the level difference in opening on mold graft impurity range 17b being large, as shown in drawing 7, it is P+. The TiON barrier metal layer 24 which intervenes between mold graft impurity range 17b and anode electrode 25e has the description of this operation gestalt in the point locally thin-film-ized in the corner of opening.

[0081] Next, the manufacture approach of a semiconductor device that the zener-zap diode and the bipolar transistor which are shown in drawing 6 and drawing 7 are loaded together on the same semiconductor substrate is explained using the process sectional view of drawing 8 - drawing 10. In addition, the manufacture approach of this semiconductor device corresponds to above-mentioned claim 5.

[0082] First, N+ mold embedding layer 12 is formed in P type Si substrate 11 front face like the case of the operation gestalt of the above 1st. Grow up the N type epitaxial layer 13, form the P type isolation 14 which reaches the P type Si substrate 11 from N type epitaxial layer 13 front face, and it detaches by the component to an NPN bipolar transistor field and a zener-zap diode field. N type epitaxial layer 13 front face to N+ N+ for collector drawing which reaches the mold embedding layer 12 The mold plug-in 15 is formed. And it is P+ while forming P type base region 16a and P type impurity range 16b in N type collector field 13a and N type epitaxial layer 13 front face at coincidence, respectively. Mold graft base field 17a and P+ P type impurity range 16b and P+ which form mold graft impurity range 17b in coincidence, respectively, and adjoin The anode field 18 which consists of mold graft impurity range 17b is formed.

[0083] Then, after depositing an insulator layer 19 all over a base, etching removal of this insulator layer 19 is carried out alternatively, and they are a P type base region 16a top and P+. A mold graft base field 17a top and N+ A mold plug-in 15 and P type impurity range 16b top and P+ On mold graft impurity range 17b, opening is formed, respectively.

[0084] Then, a P type base region 16a top and N+ after depositing the polycrystalline silicon layer 20 all over a base It is As+ to the polycrystalline silicon layer 20 of opening on the mold plug-in 15 and P type impurity range 16b. It is P+ while pouring in alternatively. It is for example, BF2+ to the polycrystalline silicon layer 20 of opening on mold graft base field 17a and P type graft impurity range 17b. It pours in alternatively (refer to drawing 8).

[0085] Subsequently, As and B are diffused from the polycrystalline silicon layer 20, and it is N+ to a P type base region 16a front face. Mold emitter region 21a N+ It is N+ to mold plug-in 15 front face. The mold collector contact field 22 It is N+ to a P type impurity range 16b front face. Cathode field 21b which consists of a mold impurity range It is P+ at the same time it forms, respectively. It is P+ to a mold graft base field 17a front face. It is a mold base contact field (not shown) to a P type graft impurity range 17b front face P+ A mold anode contact field (not shown) is formed, respectively.

[0086] Then, patterning of the polycrystalline silicon layer 20 is carried out to a predetermined configuration, and it is N+. On mold emitter region 21a, P+ A mold graft base field 17a top and N+ On the mold collector contact field 22, and N+ each on mold impurity range 21b, while making the polycrystalline silicon layers 20a, 20b, 20c, and 20d remain on the insulator layer 19 of these perimeters at an opening list Polycrystalline silicon layer 20e on the insulator layer 19 around opening on P type graft impurity range 17b is made to remain. And the polycrystalline silicon layer 20 of opening on P type graft impurity range 17b is removed, and the P type graft impurity range 17b front face of these opening circles is exposed.

[0087] At this time, the level difference in opening on P type graft impurity range 17b Since it becomes

THIS PAGE BLANK (USPTO)

that by which the thickness of polycrystalline silicon layer 20e joined the thickness of an insulator layer 19. Other N+ A mold emitter region 21a top and P+ On mold graft base field 17a, N+ The mold collector contact field 22 top and N+ It becomes larger than the polycrystalline silicon layers [on the insulator layer 19 of these perimeters / 20a, 20b, 20c, and 20d] level difference to make at each opening list on mold impurity range 21b (refer to drawing 9).

[0088] Subsequently, after depositing a TiON barrier metal layer and aluminum alloy layer in order all over a base, patterning of these is carried out to a predetermined configuration. N+ Emitter electrode 25a which consists of an aluminum alloy layer through polycrystalline silicon layer 20a and the TiON barrier metal layer 24 on mold emitter region 21a. P+ Base-electrode 25b which consists of an aluminum alloy layer through polycrystalline silicon layer 20b and the TiON barrier metal layer 24 on mold graft base field 17a. N+ Collector-electrode 25c which consists of an aluminum alloy layer through polycrystalline silicon layer 20c and the TiON barrier metal layer 24 on the mold collector contact field 22. N+ 25d of cathode electrodes which consist of an aluminum alloy layer through 20d of polycrystalline silicon layers, and the TiON barrier metal layer 24 on mold impurity range 21b. Anode electrode 25e which consists of an aluminum alloy layer through the TiON barrier metal layer 24 on P type graft impurity range 17b is formed in coincidence, respectively.

[0089] Since the polycrystalline silicon layers [20a, 20b, 20c, and 20d] level difference to make is relatively small at this time, these polycrystalline silicon layers 20a, 20b, and 20c and the TiON barrier metal layer 24 deposited on 20d serve as almost uniform thickness by good step coverage. On the other hand, since the level difference in opening on P type graft impurity range 17b is relatively large, step coverage gets worse and the TiON barrier metal layer 24 deposited on P type graft impurity range 17b in this opening is locally thin-film-ized in the corner of opening.

[0090] Thus, the NPN bipolar transistor A and the zener-zap diode B which are shown in above-mentioned drawing 6 and drawing 7 are loaded together on the same semi-conductor substrate, and produce a semiconductor device (refer to drawing 10).

[0091] In case the polycrystalline silicon layer 20 of opening on P type graft impurity range 17b of the anode field 18 is removed as mentioned above according to this operation gestalt. By making polycrystalline silicon layer 20e remain on the insulator layer 19 around this opening, the level difference in this opening. Since it becomes larger than the level difference which becomes that by which the thickness of polycrystalline silicon layer 20e joined the thickness of an insulator layer 19, and the polycrystalline silicon layers 20a, 20b, and 20c on the insulator layer 19 of these perimeters make in each of other opening list. In case the TiON barrier metal layer 24 is deposited, it becomes almost uniform thickness by step coverage with a level difference relatively good [the small polycrystalline silicon layers 20a and 20b and the TiON barrier metal layer 24 deposited on 20c]. On the other hand, relatively, a level difference worsens step coverage in opening on the large P type graft impurity range 17, and can thin-film-ize locally the TiON barrier metal layer 24 deposited on P type graft impurity range 17b in this opening in the corner of opening.

[0092] Therefore, like the case of the operation gestalt of the above 1st, even if it is the zener-zap diode B of barrier metal structure. By having the part where this TiON barrier metal layer 24 was thin-film-ized locally. Since aluminum filament which connects between two electrodes becomes is easy to be formed when the reverse bias of high electric field is impressed between anode electrode 25e and cathode field 21b, Securing the barrier property in the NPN bipolar transistor A of barrier metal structure, the destructive short circuit of zener-zap diode is made easy, and it becomes possible to stabilize the on resistance value after a destructive short circuit.

[0093] Moreover, according to this operation gestalt, they are P type base region 16a and P+. P type impurity range 16b and P+ which constitute the anode field 18 in coincidence in the process which forms mold graft base field 17a, respectively. Mold graft base field 17a is formed, respectively. N+ It sets at the process which forms mold emitter region 21a, and is N+ to coincidence. Cathode field 21b

THIS PAGE BLANK (USPTO)

which consists of a mold impurity range is formed. While removing the polycrystalline silicon layer 20 of opening on P type graft impurity range 17b to coincidence in the process which carries out patterning of the polycrystalline silicon layer 20 of polar zone, such as an emitter Polycrystalline silicon layer 20e is made to remain on the insulator layer 19 around this opening. While forming 25d of cathode electrodes, and anode electrode 25e in coincidence in the process which forms emitter electrode 25a which consists of an aluminum alloy layer through the TiON barrier metal layer 24 The TiON barrier metal layer 24 which intervenes between P type graft impurity range 17b and anode electrode 25e is thin-film-ized locally.

[0094] Like the case of the operation gestalt of the above 1st, therefore, the emitter polar zone of barrier metal structure, In the base-electrode sections and all the collector-electrode sections, polycrystalline silicon layer 20a, In case the NPN bipolar transistor A for which 20b and 20c are used is produced , Without adding a new process to the conventional production process in any way The TiON barrier metal layer 24 which intervenes between P type graft impurity range 17b of the anode field 18 and anode electrode 25e can produce the zener-zap diode B which has the part thin-film-ized locally instantaneous.

[0095] In addition, in the operation gestalt of the above 2nd, As and B are diffused from the polycrystalline silicon layer 20, and it is N+. Mold emitter region 21a etc. and P+ After forming a mold base contact field etc., While carrying out patterning of the polycrystalline silicon layer 20, forming the polycrystalline silicon layers 20a, 20b, 20c, and 20d and making polycrystalline silicon layer 20e on the insulator layer 19 around opening on P type graft impurity range 17b remain The sequence may be replaced although the P type graft impurity range 17b front face of opening circles is exposed. Namely, while carrying out patterning of the polycrystalline silicon layer 20, forming the polycrystalline silicon layers 20a, 20b, 20c, and 20d and making polycrystalline silicon layer 20e on the insulator layer 19 around opening on P type graft impurity range 17b remain After exposing a crevice 23 on the P type graft impurity range 17b front face of opening circles, As and B are diffused from the polycrystalline silicon layers 20a, 20b, 20c, and 20d, and it is N+. Mold emitter region 21a etc. and P+ A mold base contact field may be formed.

[0096] (3rd operation gestalt) some of sectional views showing the semiconductor device with which the zener-zap diode and the bipolar transistor which drawing 11 requires for the gestalt of operation of the 3rd of this invention are loaded together on the same semi-conductor substrate, and zener-zap diodes which show drawing 12 to drawing 11 -- it is an enlarged drawing. In addition, the same sign is given to the same component as the semiconductor device shown in above-mentioned drawing 1 and drawing 2 , and explanation is omitted.

[0097] As shown in drawing 11 , the NPN bipolar transistor A and the zener-zap diode B are loaded together on the same P type Si substrate 11. Since it is the same configuration as what is shown in drawing 1 of the operation gestalt of the above 1st, this NPN bipolar transistor A omits that explanation.

[0098] on the other hand, like what shows the zener-zap diode B to drawing 1 of the operation gestalt of the above 1st P type impurity range 16b and P+ The anode field 18 and N+ which consist of mold graft impurity range 17b It consists of cathode field 21b which consists of a mold impurity range. P+ On mold graft impurity range 17b, anode electrode 25e which consists of an aluminum alloy layer through the TiON barrier metal layer 24 On cathode field 21b, 25d of cathode electrodes which consist of an aluminum alloy layer through 20d of polycrystalline silicon layers and the TiON barrier metal layer 24 is formed, respectively.

[0099] However, unlike what is shown in drawing 1 and drawing 2 of an operation gestalt of the above 1st, as shown in drawing 11 and drawing 12 , it is P+ of the zener-zap diode B. While the crevice is formed in the mold graft impurity range 17b front face This P+ Polycrystalline silicon layer 20e is formed on the insulator layer 19 of the circumference of opening on mold graft impurity range 17b. This P+ The level difference in opening formed on mold graft impurity range 17b is that by which the depth

THIS PAGE BLANK (USPTO)

of a crevice and the thickness of polycrystalline silicon layer 20e joined the thickness of an insulator layer 19. For this reason, this level difference is other N+. A mold emitter region 21a top and P+ A mold graft base field 17a top and N+ It is larger than the level difference which the polycrystalline silicon layers 20a, 20b, and 20c on the insulator layer 19 of these perimeters make in each opening list on the mold collector contact field 22.

[0100] And this P+ It is P+ as the level difference in opening on mold graft impurity range 17b is shown in drawing 12 in connection with a large thing. The TiON barrier metal layer 24 which intervenes between mold graft impurity range 17b and anode electrode 25e has the description of this operation gestalt in the point locally thin-film-ized in the corner of opening.

[0101] Next, the manufacture approach of a semiconductor device that the zener-zap diode and the bipolar transistor which are shown in drawing 11 and drawing 12 are loaded together on the same semiconductor substrate is explained using the process sectional view of drawing 13 - drawing 15. In addition, the manufacture approach of this semiconductor device corresponds to above-mentioned claim 6.

[0102] It is N+ to P type Si substrate 11 front face like the process shown in drawing 3 of the operation gestalt of the above 1st. The mold embedding layer 12 is formed, the N type epitaxial layer 13 is grown up, the P type isolation 14 is formed, and it detaches by the component to an NPN bipolar transistor field and a zener-zap diode field, and is N+ for collector drawing. The mold plug-in 15 is formed. And while forming P type base region 16a and P type impurity range 16b in coincidence, respectively P+ Mold graft base field 17a and P+ Mold graft impurity range 17b is formed in coincidence, respectively. Adjoining P type impurity range 16b and adjoining P+ After forming the anode field 18 which consists of mold graft impurity range 17b, etching removal of the insulator layer 19 deposited all over the base is carried out alternatively. A P type base region 16a top and P+ A mold graft base field 17a top and N+ A mold plug-in 15 and P type impurity range 16b top and P+ On mold graft impurity range 17b, opening is formed, respectively. And a P type base region 16a top and N+ after depositing the polycrystalline silicon layer 20 all over a base It is As+ to the polycrystalline silicon layer 20 of opening on the mold plug-in 15 and P type impurity range 16b. It is P+ while pouring in alternatively. It is for example, BF₂+ to the polycrystalline silicon layer 20 of opening on mold graft base field 17a. It pours in alternatively (refer to drawing 13).

[0103] Subsequently, As and B are diffused from the polycrystalline silicon layer 20, and it is N+ to a P type base region 16a front face. It is mold emitter region 21a N+ It is N+ to mold plug-in 15 front face. It is the mold collector contact field 22 to a P type impurity range 16b front face N+ It is cathode field 21b which consists of a mold impurity range P+ It is P+ to a mold graft base field 17a front face. A mold base contact field (not shown) is formed in coincidence, respectively.

[0104] Then, patterning of the polycrystalline silicon layer 20 is carried out to a predetermined configuration, and it is N+. On mold emitter region 21a, P+ A mold graft base field 17a top and N+ On the mold collector contact field 22, and N+ each on mold impurity range 21b, while making the polycrystalline silicon layers 20a, 20b, 20c, and 20d remain on the insulator layer 19 of these perimeters at an opening list Polycrystalline silicon layer 20e on the insulator layer 19 around opening on P type graft impurity range 17b is made to remain. And the polycrystalline silicon layer 20 of opening on P type graft impurity range 17b is removed, and the P type graft impurity range 17b front face of these opening circles is exposed. Furthermore, over-etching of the polycrystalline silicon layer 20 is performed intentionally, P type graft impurity range 17b exposed in opening is etched, and a crevice 23 is formed in the front face.

[0105] At this time, the level difference in opening on P type graft impurity range 17b Since it becomes that by which the thickness of polycrystalline silicon layer 20e and the depth of a crevice 23 joined the thickness of an insulator layer 19, Other N+ A mold emitter region 21a top and P+ On mold graft base field 17a, N+ The mold collector contact field 22 top and N+ It becomes larger than the polycrystalline

THIS PAGE BLANK (USPTO)

silicon layers [on the insulator layer 19 of these perimeters / 20a, 20b, 20c, and 20d] level difference to make at each opening list on mold impurity range 21b (refer to drawing 14).

[0106] Subsequently, after depositing a TiON barrier metal layer and aluminum alloy layer in order all over a base, patterning of these is carried out to a predetermined configuration. N+ Emitter electrode 25a which consists of an aluminum alloy layer through polycrystalline silicon layer 20a and the TiON barrier metal layer 24 on mold emitter region 21a P+ Base-electrode 25b which consists of an aluminum alloy layer through polycrystalline silicon layer 20b and the TiON barrier metal layer 24 on mold graft base field 17a N+ Collector-electrode 25c which consists of an aluminum alloy layer through polycrystalline silicon layer 20c and the TiON barrier metal layer 24 on the mold collector contact field 22 N+ 25d of cathode electrodes which consist of an aluminum alloy layer through 20d of polycrystalline silicon layers, and the TiON barrier metal layer 24 on mold impurity range 21b Anode electrode 25e which consists of an aluminum alloy layer through the TiON barrier metal layer 24 is formed on P type graft impurity range 17b, respectively.

[0107] Since the polycrystalline silicon layers [20a, 20b, 20c, and 20d] level difference to make is relatively small at this time, these polycrystalline silicon layers 20a, 20b, and 20c and the TiON barrier metal layer 24 deposited on 20d serve as almost uniform thickness, and can obtain good step coverage. On the other hand, since the level difference in opening on P type graft impurity range 17b is relatively large, step coverage gets worse and the TiON barrier metal layer 24 deposited on P type graft impurity range 17b in this opening is locally thin-film-ized in the corner of opening.

[0108] Thus, the NPN bipolar transistor A and the zener-zap diode B which are shown in above-mentioned drawing 11 and drawing 12 are loaded together on the same semi-conductor substrate, and produce a semiconductor device (refer to drawing 15).

[0109] In case the polycrystalline silicon layer 20 of opening on P type graft impurity range 17b of the anode field 18 is removed, while making polycrystalline silicon layer 20e remain on the insulator layer 19 around this opening as mentioned above according to this operation gestalt By etching P type graft impurity range 17b exposed in opening, and forming a crevice 23 in the front face by over-etching of the intentional polycrystalline silicon layer 20 The level difference in this opening becomes that by which the thickness of polycrystalline silicon layer 20e and the depth of a crevice 23 joined the thickness of an insulator layer 19. Other N+ On mold emitter region 21a and P+ mold graft base field 17a, And N+ Since it becomes larger than the level difference which the polycrystalline silicon layers 20a, 20b, and 20c on the insulator layer 19 of these perimeters make in each opening list on the mold collector contact field 22, In case the TiON barrier metal layer 24 is deposited, it becomes almost uniform thickness by step coverage with a level difference relatively good [the small polycrystalline silicon layers 20a and 20b and the TiON barrier metal layer 24 deposited on 20c]. On the other hand, relatively, a level difference worsens step coverage in opening on large P type graft impurity range 17b beyond the case of the above 1st or the 2nd operation gestalt, and can thin-film-ize locally the TiON barrier metal layer 24 deposited on P type graft impurity range 17b in this opening in the corner of opening.

[0110] Therefore, even if it is the zener-zap diode B of barrier metal structure By having the part where this TiON barrier metal layer 24 was thin-film-ized locally Since aluminum filament which connects between two electrodes becomes is easy to be formed when the reverse bias of high electric field is impressed between anode electrode 25e and cathode field 21b, Securing the barrier property in the NPN bipolar transistor A of barrier metal structure, the destructive short circuit of zener-zap diode is made easy beyond the case of the above 1st or the 2nd operation gestalt, and it becomes possible to stabilize the on resistance value after a destructive short circuit.

[0111] Moreover, according to this operation gestalt, they are P type base region 16a and P+. P type impurity range 16b and P+ which constitute the anode field 18 in coincidence in the process which forms mold graft base field 17a, respectively Mold graft base field 17a is formed, respectively. N+ It sets at the process which forms mold emitter region 21a, and is N+ to coincidence. Cathode field 21b

THIS PAGE BLANK (USPTO)

which consists of a mold impurity range is formed. While removing the polycrystalline silicon layer 20 of opening on P type graft impurity range 17b to coincidence in the process which carries out patterning of the polycrystalline silicon layer 20 of polar zone, such as an emitter Polycrystalline silicon layer 20e is made to remain on the insulator layer 19 around this opening. Furthermore, a crevice 23 is formed in the P type graft impurity range 17b front face exposed to these opening circles. While forming 25d of cathode electrodes, and anode electrode 25e in coincidence in the process which forms emitter electrode 25a which consists of an aluminum alloy layer through the TiON barrier metal layer 24 The TiON barrier metal layer 24 which intervenes between P type graft impurity range 17b and anode electrode 25e is thin-film-ized locally.

[0112] Like the case of the operation gestalt of the above 1st, therefore, the emitter polar zone of barrier metal structure, In the base-electrode sections and all the collector-electrode sections, polycrystalline silicon layer 20a, In case the NPN bipolar transistor A for which 20b and 20c are used is produced Without adding a new process to the conventional process in any way The TiON barrier metal layer 24 which intervenes between P type graft impurity range 17b of the anode field 18 and anode electrode 25e can produce the zener-zap diode B which has the part thin-film-ized locally instantaneous.

[0113] In addition, in the operation gestalt of the above 3rd, As and B are diffused from the polycrystalline silicon layer 20, and it is N+. Mold emitter region 21a etc. and P+ After forming a mold base contact field, While carrying out patterning of the polycrystalline silicon layer 20, forming the polycrystalline silicon layers 20a, 20b, 20c, and 20d and making polycrystalline silicon layer 20e on the insulator layer 19 around opening on P type graft impurity range 17b remain The sequence may be replaced although the crevice 23 is formed in the P type graft impurity range 17b front face exposed to opening circles. Namely, while carrying out patterning of the polycrystalline silicon layer 20, forming the polycrystalline silicon layers 20a, 20b, 20c, and 20d and making polycrystalline silicon layer 20e on the insulator layer 19 around opening on P type graft impurity range 17b remain After forming a crevice 23 in the P type graft impurity range 17b front face exposed to opening circles, As and B are diffused from the polycrystalline silicon layers 20a, 20b, 20c, and 20d, and it is N+. Mold emitter region 21a etc. and P+ A mold base contact field may be formed.

[0114] (4th operation gestalt) Drawing 16 is the sectional view showing the semiconductor device with which the zener-zap diode and the bipolar transistor concerning the gestalt of operation of the 4th of this invention are loaded together on the same semi-conductor substrate. in addition, some zener-zap diodes shown in drawing 16 -- since the enlarged drawing is the same as that of above-mentioned drawing 2 , illustration is omitted. Moreover, the same sign is given to the same component as the semiconductor device shown in above-mentioned drawing 1 and drawing 2 , and explanation is omitted. As shown in drawing 16 , the NPN bipolar transistor A and the zener-zap diode B are loaded together on the same P type Si substrate 11.

[0115] This NPN bipolar transistor A is N+ formed in P type Si substrate 11 front face like what is shown in drawing 1 of the operation gestalt of the above 1st. Mold embedding layer 12, This N+ N type collector field 13a formed on the mold embedding layer 12, N+ N+ for collector drawing linked to the mold embedding layer 12 Mold plug-in 15, Adjoining P type base region 16a and adjoining P+ which were formed in the N type collector field 13a front face Mold graft base field 17a and N+ formed in the P type base region 16a front face It consists of mold emitter region 21a. Moreover, N+ In mold plug-in 15 front face, it is N+. The mold collector contact field 22 is formed.

[0116] However, unlike what is shown in drawing 1 of the operation gestalt of the above 1st, as shown in drawing 16 N+ On mold emitter region 21a, emitter electrode 25a which consists of an aluminum alloy layer through polycrystalline silicon layer 20a and the TiON barrier metal layer 24 P+ On mold graft base field 17a, base-electrode 25b which consists of an aluminum alloy layer through the TiON barrier metal layer 24 N+ On the mold collector contact field 22, collector-electrode 25c which consists of an aluminum alloy layer through the TiON barrier metal layer 24 is formed, respectively. That is,

THIS PAGE BLANK (USPTO)

polycrystalline silicon layer 20a is used only for the emitter polar zone among the emitter polar zone of the barrier metal structure in this NPN bipolar transistor A, the base-electrode section, and the collector-electrode section.

[0117] On the other hand, the zener-zap diode B is the same configuration as what is shown in drawing 1 and drawing 2 of an operation gestalt of the above 1st. Namely, P type impurity range 16b and P+ which were adjoined and formed in N type epitaxial layer 13 front face on the P type Si substrate 11 The anode field 18 which consists of mold graft impurity range 17b, N+ formed in the P type impurity range 16b front face It consists of cathode field 21b which consists of a mold impurity range. P+ On mold graft impurity range 17b, anode electrode.25e which consists of an aluminum alloy layer through the TiON barrier metal layer 24 On cathode field 21b, 25d of cathode electrodes which consist of an aluminum alloy layer through 20d of polycrystalline silicon layers and the TiON barrier metal layer, 24 is formed, respectively.

[0118] Moreover, P+ The crevice is formed in the mold graft impurity range 17b front face, and it is this P+. The level difference in opening formed in the insulator layer 19 on mold graft impurity range 17b is that by which the depth of a crevice 23 joined the thickness of an insulator layer 19. for this reason, P+ the level difference in opening on mold graft impurity range 17b -- other N+ the level difference which polycrystalline silicon layer 20a on opening on mold emitter region 21a and the insulator layer 19 of this perimeter makes -- moreover, P+ A mold graft base field 17a top and N+ It is large relatively rather than the level difference in each opening on the mold collector contact field 22. And P+ It follows on the level difference in opening on mold graft impurity range 17b being large, and is P+. The TiON barrier metal layer 24 which intervenes between anode electrode 25e which consists of mold graft impurity range 17b and an aluminum alloy layer has the description of this operation gestalt in the point locally thin-film-ized in the corner of opening.

[0119] Next, the manufacture approach of the bipolar transistor A shown in drawing 16 and the semiconductor device with which the zener-zap diode B is loaded together on the same semi-conductor substrate is explained using the process sectional view of drawing 17 - drawing 19 . In addition, the manufacture approach of this semiconductor device corresponds to above-mentioned claim 8.

[0120] First, N+ mold embedding layer 12 is formed in P type Si substrate 11 front face like the case of the operation gestalt of the above 1st. Grow up the N type epitaxial layer 13, form the P type isolation 14 which reaches the P type Si substrate 11 from N type epitaxial layer 13 front face, and it detaches by the component to an NPN bipolar transistor field and a zener-zap diode field. N type epitaxial layer 13 front face to N+ N+ for collector drawing which reaches the mold embedding layer 12 The mold plug-in 15 is formed. And it is P+ while forming P type base region 16a and P type impurity range 16b in N type collector field 13a and N type epitaxial layer 13 front face at coincidence, respectively. Mold graft base field 17a and P+ P type impurity range 16b and P+ which form mold graft impurity range 17b in coincidence, respectively, and adjoin The anode field 18 which consists of mold graft impurity range 17b is formed.

[0121] Then, after depositing an insulator layer 19 all over a base, etching removal of this insulator layer 19 is carried out alternatively, and opening is formed, respectively on P type base region 16a, P type impurity range 16b, and P+ mold graft impurity range 17b. And it is As+ to the this polycrystalline silicon layer after depositing polycrystalline silicon layer 20 all over base 20 whole surface. It pours in (refer to drawing 17).

[0122] Subsequently, patterning of the polycrystalline silicon layer 20 is carried out to a predetermined configuration, opening on P type graft impurity range 17b and the polycrystalline silicon layer 20 on the insulator layer 19 of this perimeter are removed, and each opening list on P type base region 16a and P type impurity range 16b is made to expose the P type graft impurity range 17b front face of these opening circles on the insulator layer 19 of these perimeters, while making the polycrystalline silicon layers 20a and 20d remain. Furthermore, over-etching of the polycrystalline silicon layer 20 is

THIS PAGE BLANK (USPTO)

performed intentionally, P type graft impurity range 17b exposed in opening is etched, and a crevice 23 is formed in the front face.

[0123] Since a level difference [in / at this time / opening on P type graft impurity range 17b] becomes that by which the depth of a crevice 23 joined the thickness of an insulator layer 19, it becomes larger than the polycrystalline silicon layers [on the insulator layer 19 of these perimeters / 20a and 20d] level difference to make at each opening list on other P type base region 16a and P type impurity range 16b. Then, As is diffused from the polycrystalline silicon layers 20a and 20d, and it is N+ to a P type base region 16a front face. Cathode field 21b which becomes a P type impurity range 16b front face from N+ mold impurity range about mold emitter region 21a is formed in coincidence, respectively (refer to drawing 18).

[0124] Subsequently, etching removal of the insulator layer 19 is carried out alternatively, and it is P+. A mold graft base field 17a top and N+ On the mold plug-in 15, opening is formed, respectively. Then, after depositing a TiON barrier metal layer and aluminum alloy layer in order all over a base, patterning of these is carried out to a predetermined configuration. N+ Emitter electrode 25a which consists of an aluminum alloy layer through polycrystalline silicon layer 20a and the TiON barrier metal layer 24 on mold emitter region 21a P+ Base-electrode 25b which consists of an aluminum alloy layer through the TiON barrier metal layer 24 on mold graft base field 17a N+ Collector-electrode 25c which consists of an aluminum alloy layer through the TiON barrier metal layer 24 on the mold plug-in 15 N+ 25d of cathode electrodes which consist of an aluminum alloy layer through 20d of polycrystalline silicon layers, and the TiON barrier metal layer 24 on mold impurity range 21b Anode electrode 25e which consists of an aluminum alloy layer through the TiON barrier metal layer 24 on P type graft impurity range 17b is formed in coincidence, respectively.

[0125] At this time, it is N+. A mold emitter region 21a top and N+ Polycrystalline silicon [list / each / on mold impurity range 21b / opening] layer 20on insulator layer 19 of these perimeters a, It is relatively small and the level difference of 20d to make is P+. A mold graft base field 17a top and N+ From the level difference in each opening on the mold plug-in 15 being relatively small It is P+ to such polycrystalline silicon layer 20a and 20d top list. A mold graft base field 17a top and N+ The TiON barrier metal layer 24 deposited on the mold plug-in 15 serves as almost uniform thickness by good step coverage. On the other hand, since the level difference in opening on P type graft impurity range 17b is relatively large, step coverage gets worse and the TiON barrier metal layer 24 deposited on P type graft impurity range 17b in this opening is locally thin-film-ized in the corner of opening.

[0126] Thus, the NPN bipolar transistor A and the zener-zap diode B which are shown in above-mentioned drawing 16 are loaded together on the same semi-conductor substrate, and produce a semiconductor device (refer to drawing 19).

[0127] According to this operation gestalt, opening on P type graft impurity range 17b of the anode field 18 and the polycrystalline silicon layer 20 on the insulator layer 19 of this perimeter are removed as mentioned above. In case the P type graft impurity range 17b front face of these opening circles is exposed By etching P type graft impurity range 17b exposed in opening, and forming a crevice 23 in the front face by over-etching of the intentional polycrystalline silicon layer 20 The level difference in this opening becomes that by which the depth of a crevice 23 joined the thickness of an insulator layer 19. Other N+ They are a P+ mold graft base field 17a top and N+ more nearly again than the level difference which polycrystalline silicon layer 20a on opening on mold emitter region 21a and the insulator layer 19 of this perimeter makes. It becomes larger than the level difference in each opening on the mold plug-in 15. For this reason, also for the TiON barrier metal layer 24 which a level difference deposits on small polycrystalline silicon layer 20a relatively in case the TiON barrier metal layer 24 is deposited, a level difference is P+ in small opening relatively. A mold graft base field 17a top and N+ The TiON barrier metal layer 24 deposited on the mold plug-in 15 both also serves as almost uniform thickness by good step coverage. On the other hand, relatively, a level difference worsens step coverage

THIS PAGE BLANK (USPTO)

in opening on large P type graft impurity range 17b, and can thin-film-ize locally the TiON barrier metal layer 24 deposited on P type graft impurity range 17b in this opening in the corner of opening.

[0128] Therefore, like the case of the operation gestalt of the above 1st, even if it is the zener-zap diode B of barrier metal structure By having the part where the TiON barrier metal layer 24 was thin-film-ized locally Since aluminum filament which connects between two electrodes becomes is easy to be formed when the reverse bias of high electric field is impressed between anode electrode 25e and cathode field 21b, Securing the barrier property in the NPN bipolar transistor A of barrier metal structure, the destructive short circuit of zener-zap diode is made easy, and it becomes possible to stabilize the on resistance value after a destructive short circuit.

[0129] Moreover, according to this operation gestalt, they are P type base region 16a and P+. P type impurity range 16b and P+ which constitute the anode field 18 in coincidence in the process which forms mold graft base field 17a, respectively Mold graft base field 17a is formed, respectively. N+ It sets at the process which forms mold emitter region 21a, and is N+ to coincidence. Cathode field 21b which consists of a mold impurity range is formed. While setting the polycrystalline silicon layer 20 of polar zone, such as an emitter, at the process which carries out patterning and removing opening on P type graft impurity range 17b, and the polycrystalline silicon layer 20 on the insulator layer 19 of this perimeter to coincidence A crevice 23 is formed in the P type graft impurity range 17b front face exposed to these opening circles. While forming 25d of cathode electrodes, and anode electrode 25e in coincidence in the process which forms emitter electrode 25a which consists of an aluminum alloy layer through the TiON barrier metal layer 24 The TiON barrier metal layer 24 which intervenes between P type graft impurity range 17b and anode electrode 25e is thin-film-ized locally.

[0130] Therefore, the inside of the emitter polar zone of barrier metal structure, the base-electrode section, and the collector-electrode section, In case the NPN bipolar transistor A by which polycrystalline silicon layer 20a is used only for the emitter polar zone is produced Without adding a new process to the conventional production process (referring to above-mentioned drawing 34 - drawing 36) in any way The TiON barrier metal layer 24 which intervenes between P type graft impurity range 17b of the anode field 18 and anode electrode 25e can produce the zener-zap diode B which has the part thin-film-ized locally instantaneous.

[0131] (5th operation gestalt) Drawing 20 is the sectional view showing the semiconductor device with which the zener-zap diode and the bipolar transistor concerning the gestalt of operation of the 5th of this invention are loaded together on the same semi-conductor substrate. in addition, some zener-zap diodes shown in drawing 20 -- since the enlarged drawing is the same as that of above-mentioned drawing 7 , illustration is omitted. Moreover, the same sign is given to the same component as the semiconductor device shown in above-mentioned drawing 6 and drawing 7 , and explanation is omitted. As shown in drawing 20 , the NPN bipolar transistor A and the zener-zap diode B are loaded together on the same P type Si substrate 11.

[0132] Since it is the same configuration as what is shown in drawing 16 of the operation gestalt of the above 4th, this NPN bipolar transistor A omits that explanation. On the other hand, the zener-zap diode B is the same configuration as what is shown in drawing 6 and drawing 7 of an operation gestalt of the above 2nd. Namely, P+ of the anode field 18 Polycrystalline silicon layer 20e is formed on the insulator layer 19 of the circumference of opening on mold graft impurity range 17b, and it is this P+. The level difference in opening formed on mold graft impurity range 17b is that by which the thickness of polycrystalline silicon layer 20e joined the thickness of an insulator layer 19. for this reason, P+ the level difference in opening on mold graft impurity range 17b -- other N+ the level difference which polycrystalline silicon layer 20a on opening on mold emitter region 21a and the insulator layer 19 of this perimeter makes -- moreover, P+ A mold graft base field 17a top and N+ It is large relatively rather than the level difference in each opening on the mold plug-in 15.

[0133] And it is P+ like the case of the operation gestalt of the above 2nd. It follows on the level

THIS PAGE BLANK

THIS PAGE BLANK (USPTO)

THIS PAGE BLANK

difference in opening on mold graft impurity range 17b being large, and is P+. The TiON barrier metal layer 24 which intervenes between anode electrode 25e which consists of mold graft impurity range 17b and an aluminum alloy layer has the description of this operation gestalt in the point locally thin-film-ized in the corner of opening.

[0134] Next, the 1st manufacture approach of a semiconductor device that the zener-zap diode and the bipolar transistor which are shown in drawing 20 are loaded together on the same semi-conductor substrate is explained using the process sectional view of drawing 21 - drawing 23. In addition, the 1st manufacture approach of this semiconductor device corresponds to above-mentioned claim 9.

[0135] It is N+ to P type Si substrate 11 front face like the process shown in drawing 17 of the operation gestalt of the above 4th. The mold embedding layer 12 is formed, the N type epitaxial layer 13 is grown up, the P type isolation 14 is formed, and it detaches by the component to an NPN bipolar transistor field and a zener-zap diode field, and is N+ for collector drawing. The mold plug-in 15 is formed. And it is P+ while forming P type base region 16a and P type impurity range 16b in coincidence, respectively. Mold graft base field 17a and P⁺ P type impurity range 16b and P+ which form mold graft impurity range 17b in coincidence, respectively, and adjoin The anode field 18 which consists of mold graft impurity range 17b is formed. And etching removal of the insulator layer 19 deposited all over the base is carried out alternatively, and they are a P type base region 16a and P type impurity range 16b top and P+. On mold graft impurity range 17b, opening is formed, respectively. And it is As+ to the polycrystalline silicon layer 20 whole surface deposited all over the base. It pours in (réfer to drawing 21).

[0136] Subsequently, while carrying out patterning of the polycrystalline silicon layer 20 to a predetermined configuration and making the polycrystalline silicon layers 20a and 20d remain on the insulator layer 19 of these perimeters at each opening list on P type base region 16a and P type impurity range 16b, polycrystalline silicon layer 20e on the insulator layer 19 around opening on P type graft impurity range 17b is made to remain. And opening on P type graft impurity range 17b and the polycrystalline silicon layer 20 on the insulator layer 19 of this perimeter are removed, and the P type graft impurity range 17b front face of these opening circles is exposed.

[0137] Since a level difference [in / at this time / opening on P type graft impurity range 17b] becomes that by which the thickness of polycrystalline silicon layer 20e joined the thickness of an insulator layer 19, it becomes larger than the polycrystalline silicon layers [on the insulator layer 19 of these perimeters / 20a and 20d] level difference to make at each opening list on other P type base region 16a and P type impurity range 16b.

[0138] Then, As is diffused from the polycrystalline silicon layers 20a and 20d, and it is N+ to a P type base region 16a front face. Cathode field 21b which becomes a P type impurity range 16b front face from N+ mold impurity range about mold emitter region 21a is formed in coincidence, respectively (refer to drawing 22).

[0139] Subsequently, etching removal of the insulator layer 19 is carried out alternatively, and it is P+. A mold graft base field 17a top and N+ On the mold plug-in 15, opening is formed, respectively.

[0140] Then, after depositing a TiON barrier metal layer and aluminum alloy layer in order all over a base, patterning of these is carried out to a predetermined configuration. N+ Emitter electrode 25a which consists of an aluminum alloy layer through polycrystalline silicon layer 20a and the TiON barrier metal layer 24 on mold emitter region 21a P+ Base-electrode 25b which consists of an aluminum alloy layer through the TiON barrier metal layer 24 on mold graft base field 17a N+ Collector-electrode 25c which consists of an aluminum alloy layer through the TiON barrier metal layer 24 on the mold plug-in 15 N+ 25d of cathode electrodes which consist of an aluminum alloy layer through 20d of polycrystalline silicon layers, and the TiON barrier metal layer 24 on mold impurity range 21b Anode electrode 25e which consists of an aluminum alloy layer through the TiON barrier metal layer 24 on P type graft impurity range 17b is formed in coincidence, respectively.

THIS PAGE BLANK (USPTO)

[0141] At this time, it is N+. A mold emitter region 21a top and N+ Polycrystalline silicon [list / each / on mold impurity range 21b / opening] layer 20 on insulator layer 19 of these perimeters a, It is relatively small and the level difference of 20d to make is P+. A mold graft base field 17a top and N+ From the level difference in each opening on the mold plug-in 15 being relatively small It is P+ to such polycrystalline silicon layer 20a and 20d top list. A mold graft base field 17a top and N+ The TiON barrier metal layer 24 deposited on the mold plug-in 15 serves as almost uniform thickness by good step coverage.

[0142] On the other hand, since the level difference in opening on P type graft impurity range 17b is relatively large, step coverage gets worse and the TiON barrier metal layer 24 deposited on P type graft impurity range 17b in this opening is locally thin-film-ized in the corner of opening.

[0143] Thus, the NPN bipolar transistor A and the zener-zap diode B which are shown in above-mentioned drawing 20 are loaded together on the same semi-conductor substrate, and produce a semiconductor device (refer to drawing 23).

[0144] Next, the 2nd manufacture approach of a semiconductor device that the zener-zap diode and the bipolar transistor which are shown in drawing 20 are loaded together on the same semi-conductor substrate is explained using the process sectional view of drawing 24 - drawing 26 . In addition, the 2nd manufacture approach of this semiconductor device corresponds to above-mentioned claim 11.

[0145] First, like the case of the manufacture approach of the above 1st, N+ mold embedding layer 12 is formed in P type Si substrate 11 front face, and the N type epitaxial layer 13 is grown up, and the P type isolation 14 is formed, and it detaches by the component to an NPN bipolar transistor field and a zener-zap diode field, and is N+ for collector drawing. The mold plug-in 15 is formed. And it is P+ while forming P type base region 16a and P type impurity range 16b in coincidence, respectively. Mold graft base field 17a and P+ P type impurity range 16b and P+ which form mold graft impurity range 17b in coincidence, respectively, and adjoin The anode field 18 which consists of mold graft impurity range 17b is formed.

[0146] Then, after depositing an insulator layer 19 all over a base, etching removal of this insulator layer 19 is carried out alternatively, and opening is formed, respectively on P type base region 16a and P type impurity range 16b. And it is As+ to the this polycrystalline silicon layer after depositing polycrystalline silicon layer 20 all over base 20 whole surface. It pours in (refer to drawing 24).

[0147] Subsequently, while carrying out patterning of the polycrystalline silicon layer 20 to a predetermined configuration and making the polycrystalline silicon layers 20a and 20d remain on the insulator layer 19 of these perimeters at each opening list on P type base region 16a and P type impurity range 16b, polycrystalline silicon layer 20e is made to remain on the insulator layer 19 around the opening formation schedule field on P type graft impurity range 17b.

[0148] Then, As is diffused from the polycrystalline silicon layers 20a and 20d, and it is N+ to a P type base region 16a front face. Cathode field 21b which becomes a P type impurity range 16b front face from N+ mold impurity range about mold emitter region 21a is formed in coincidence, respectively (refer to drawing 25).

[0149] Subsequently, P+ A mold graft base field 17a top and N+ Etching removal of the insulator layer 19 on the mold plug-in 15 is carried out alternatively. P+ A mold graft base field 17a top and N+ Etching removal of the insulator layer 19 surrounded by polycrystalline silicon layer 20e on P type graft impurity range 17b is alternatively carried out at the same time it forms opening on the mold plug-in 15, respectively. P+ Opening 26 is formed on mold graft impurity range 17b.

[0150] At this time, it is N+. A mold emitter region 21a top and N+ Polycrystalline silicon [list / each / on mold impurity range 21b / opening] layer 20 on insulator layer 19 of these perimeters a, It is relatively small and the level difference of 20d to make is P+. A mold graft base field 17a top and N+ From the level difference in each opening on the mold plug-in 15 being relatively small It is P+ to such polycrystalline silicon layer 20a and 20d top list. A mold graft base field 17a top and N+ The TiON

THIS PAGE BLANK (USPTO)

barrier metal layer 24 deposited on the mold plug-in 15 serves as almost uniform thickness by good step coverage.

[0151] On the other hand, since the level difference in opening on P type graft impurity range 17b is relatively large, step coverage gets worse and the TiON barrier metal layer 24 deposited on P type graft impurity range 17b in this opening is locally thin-film-ized in the corner of opening.

[0152] Thus, the NPN bipolar transistor A and the zener-zap diode B which are shown in above-mentioned drawing 20 are loaded together on the same semi-conductor substrate, and produce a semiconductor device (refer to drawing 26).

[0153] In case the polycrystalline silicon layer 20 of opening on P type graft impurity range 17b of the anode field 18 is removed as mentioned above according to this operation gestalt, by making polycrystalline silicon layer 20e remain on the insulator layer 19 of this perimeter of opening Or after making polycrystalline silicon layer 20e remain again on the insulator layer 19 of the perimeter of an opening formation schedule field on P type graft impurity range 17b, The insulator layer 19 surrounded by this polycrystalline silicon layer 20e is removed, and it is P+. By forming opening on mold graft impurity range 17b, the level difference in this opening It becomes that by which the thickness of polycrystalline silicon layer 20e joined the thickness of an insulator layer 19. Other N+ It is P+ more nearly again than the level difference which polycrystalline silicon layer 20a on opening on mold emitter region 21a and the insulator layer 19 of this perimeter makes. A mold graft base field 17a top and N+ It becomes larger than the level difference in each opening on the mold plug-in 15. For this reason, in case the TiON barrier metal layer 24 is deposited, a level difference is small N+ relatively. Also for the TiON barrier metal layer 24 deposited on polycrystalline silicon layer 20a on mold emitter region 21a, a level difference is P+ in small opening relatively. A mold graft base field 17a top and N+ The TiON barrier metal layer 24 deposited on the mold plug-in 15 both also serves as almost uniform thickness by good step coverage. On the other hand, relatively, a level difference worsens step coverage in opening on large P type graft impurity range 17b, and can thin-film-ize locally the TiON barrier metal layer 24 deposited on P type graft impurity range 17b in this opening in the corner of opening.

[0154] Therefore, like the case of the operation gestalt of the above 2nd, even if it is the zener-zap diode B of barrier metal structure By having the part where the TiON barrier metal layer 24 was thin-film-ized locally Since aluminum filament which connects between two electrodes becomes is easy to be formed when the reverse bias of high electric field is impressed between anode electrode 25e and cathode field 21b, Securing the barrier property in the NPN bipolar transistor A of barrier metal structure, the destructive short circuit of zener-zap diode is made easy, and it becomes possible to stabilize the on resistance value after a destructive short circuit.

[0155] Moreover, according to this operation gestalt, they are P type base region 16a and P+. P type impurity range 16b and P+ which constitute the anode field 18 in coincidence in the process which forms mold graft base field 17a, respectively Mold graft base field 17a is formed, respectively. N+ It sets at the process which forms mold emitter region 21a, and is N+ to coincidence. Cathode field 21b which consists of a mold impurity range is formed. While removing the polycrystalline silicon layer 20 of opening on P type graft impurity range 17b to coincidence in the process which carries out patterning of the polycrystalline silicon layer 20 of polar zone, such as an emitter Polycrystalline silicon layer 20e on the insulator layer 19 around this opening is made to remain. While forming 25d of cathode electrodes, and anode electrode 25e in coincidence in the process which forms emitter electrode 25a which consists of an aluminum alloy layer through the TiON barrier metal layer 24 The TiON barrier metal layer 24 which intervenes between P type graft impurity range 17b and anode electrode 25e is thin-film-ized locally.

[0156] Or polycrystalline silicon layer 20e on the insulator layer 19 around the opening formation schedule field on P type graft impurity range 17b is made to remain in coincidence again in the process which carries out patterning of the polycrystalline silicon layer 20 of polar zone, such as an emitter. P+

THIS PAGE BLANK (USPTO)

The insulator layer 19 surrounded by coincidence at polycrystalline silicon layer 20e in the process which forms opening on mold graft base field 17a etc. is removed, and it is P+. Opening 26 is formed on mold graft impurity range 17b. While forming 25d of cathode electrodes, and anode electrode 25e in coincidence in the process which forms emitter electrode 25a which consists of an aluminum alloy layer through the TiON barrier metal layer 24 The TiON barrier metal layer 24 which intervenes between P type graft impurity range 17b and anode electrode 25e is thin-film-ized locally.

[0157] Therefore, the inside of the emitter polar zone of barrier metal structure, the base-electrode section, and the collector-electrode section, In case the NPN bipolar transistor A by which polycrystalline silicon layer 20a is used only for the emitter polar zone is produced Without adding a new process to the conventional production process in any way The TiON barrier metal layer 24 which intervenes between P type graft impurity range 17b of the anode field 18 and anode electrode 25e can produce the zener-zap diode B which has the part thin-film-ized locally instantaneous.

[0158] In addition, it sets to the 2nd manufacture approach of the operation gestalt the above 5th. While carrying out patterning of the polycrystalline silicon layer 20 and forming the polycrystalline silicon layers 20a and 20d After making polycrystalline silicon layer 20e remain on the insulator layer 19 around the opening formation schedule field on P type graft impurity range 17b, As is diffused from the polycrystalline silicon layers 20a and 20d, and it is N+. The sequence may be replaced although mold emitter region 21a etc. is formed.

[0159] That is, As is diffused from the polycrystalline silicon layer 20, and it is N+. After forming mold emitter region 21a etc., while carrying out patterning of the polycrystalline silicon layer 20 and forming the polycrystalline silicon layers 20a and 20d, polycrystalline silicon layer 20e may be made to remain on the insulator layer 19 around the opening formation schedule field on P type graft impurity range 17b.

[0160] (6th operation gestalt) Drawing 27 is the sectional view showing the semiconductor device with which the zener-zap diode and the bipolar transistor concerning the gestalt of operation of the 6th of this invention are loaded together on the same semi-conductor substrate. in addition, some zener-zap diodes shown in drawing 27 -- since the enlarged drawing is the same as that of above-mentioned drawing 15 , illustration is omitted. Moreover, the same sign is given to the same component as the semiconductor device shown in above-mentioned drawing 14 and drawing 15 , and explanation is omitted.

[0161] As shown in drawing 27 , the NPN bipolar transistor A and the zener-zap diode B are loaded together on the same P type Si substrate 11. Since it is the same configuration as what is shown in drawing 19 of the operation gestalt of the above 4th, this NPN bipolar transistor A omits that explanation.

[0162] On the other hand, the zener-zap diode B is the same configuration as what is shown in drawing 14 and drawing 15 of an operation gestalt of the above 3rd. Namely, P+ of the anode field 18 While the crevice is formed in the mold graft impurity range 17b front face This P+ Polycrystalline silicon layer 20e is formed on the insulator layer 19 of the circumference of opening on mold graft impurity range 17b. This P+ The level difference in opening formed on mold graft impurity range 17b is that by which the depth of a crevice and the thickness of polycrystalline silicon layer 20e joined the thickness of an insulator layer 19. for this reason, P+ the level difference in opening on mold graft impurity range 17b -- other N+ the level difference which polycrystalline silicon layer 20a on opening on mold emitter region 21a and the insulator layer 19 of this perimeter makes -- moreover, P+ A mold graft base field 17a top and N+ It is large relatively rather than the level difference in each opening on the mold plug-in 15.

[0163] And it is P+ like the case of the operation gestalt of the above 3rd. It follows on the level difference in opening on mold graft impurity range 17b being large, and is P+. The TiON barrier metal layer 24 which intervenes between anode electrode 25e which consists of mold graft impurity range 17b and an aluminum alloy layer has the description of this operation gestalt in the point locally thin-film-ized in the corner of opening.

THIS PAGE BLANK (USPTO)

[0164] Next, the manufacture approach of a semiconductor device that the zener-zap diode and the bipolar transistor which are shown in drawing 27 are loaded together on the same semi-conductor substrate is explained using the process sectional view of drawing 28 - drawing 30 . In addition, the manufacture approach of this semiconductor device corresponds to above-mentioned claim 10.

[0165] It is N+ to P type Si substrate 11 front face like the process shown in drawing 21 of the operation gestalt of the above 4th. The mold embedding layer 12 is formed, the N type epitaxial layer 13 is grown up, the P type isolation 14 is formed, and it detaches by the component to an NPN bipolar transistor field and a zener-zap diode field, and is N+ for collector drawing. The mold plug-in 15 is formed. And it is P+ while forming P type base region 16a and P type impurity range 16b in coincidence, respectively. Mold graft base field 17a and P+ P type impurity range 16b and P+ which form mold graft impurity range 17b in coincidence, respectively, and adjoin The anode field 18 which consists of mold graft impurity range 17b is formed. And etching removal of the insulator layer 19 deposited all over the base is carried out alternatively, and they are a P type base region 16a and P type impurity range 16b top and P+. On mold graft impurity range 17b, opening is formed, respectively. Then, it is As+ to the polycrystalline silicon layer 20 whole surface deposited all over the base. It pours in (refer to drawing 28).

[0166] Subsequently, while carrying out patterning of the polycrystalline silicon layer 20 to a predetermined configuration and making the polycrystalline silicon layers 20a and 20d remain on the insulator layer 19 of these perimeters at each opening list on P type base region 16a and P type impurity range 16b, polycrystalline silicon layer 20e on the insulator layer 19 of the perimeter of opening on P type graft impurity range 17b is made to remain. And opening on P type graft impurity range 17b and the polycrystalline silicon layer 20 on the insulator layer 19 of this perimeter are removed, and the P type graft impurity range 17b front face of these opening circles is exposed. Furthermore, over-etching of the polycrystalline silicon layer 20 is performed intentionally, P type graft impurity range 17b exposed in opening is etched, and a crevice 23 is formed in the front face.

[0167] Since a level difference [in / at this time / opening on P type graft impurity range 17b] becomes that by which the thickness of polycrystalline silicon layer 20e and the depth of a crevice 23 joined the thickness of an insulator layer 19, it becomes larger than the polycrystalline silicon layers [on the insulator layer 19 of these perimeters / 20a and 20d] level difference to make at each opening list on other P type base region 16a and P type impurity range 16b.

[0168] Then, As is diffused from the polycrystalline silicon layers 20a and 20d, and it is N+ to a P type base region 16a front face. Cathode field 21b which becomes a P type impurity range 16b front face from N+ mold impurity range about mold emitter region 21a is formed in coincidence, respectively (refer to drawing 29).

[0169] Subsequently, etching removal of the insulator layer 19 is carried out alternatively, and it is P+. A mold graft base field 17a top and N+ On the mold plug-in 15, opening is formed, respectively.

[0170] Then, after depositing a TiON barrier metal layer and aluminum alloy layer in order all over a base, patterning of these is carried out to a predetermined configuration. N+ Emitter electrode 25a which consists of an aluminum alloy layer through polycrystalline silicon layer 20a and the TiON barrier metal layer 24 on mold emitter region 21a P+ Base-electrode 25b which consists of an aluminum alloy layer through the TiON barrier metal layer 24 on mold graft base field 17a N+ Collector-electrode 25c which consists of an aluminum alloy layer through the TiON barrier metal layer 24 on the mold plug-in 15 N+ 25d of cathode electrodes which consist of an aluminum alloy layer through 20d of polycrystalline silicon layers, and the TiON barrier metal layer 24 on mold impurity range 21b Anode electrode 25e which consists of an aluminum alloy layer through the TiON barrier metal layer 24 on P type graft impurity range 17b is formed in coincidence, respectively.

[0171] At this time, it is N+. A mold emitter region 21a top and N+ Polycrystalline silicon [list / each / on mold impurity range 21b / opening] layer 20on insulator layer 19 of these perimeters a, It is

THIS PAGE BLANK (USPTO)

relatively small and the level difference of 20d to make is P+. A mold graft base field 17a top and N+ From the level difference in each opening on the mold plug-in 15 being relatively small It is P+ to such polycrystalline silicon layer 20a and 20d top list. A mold graft base field 17a top and N+ The TiON barrier metal layer 24 deposited on the mold plug-in 15 serves as almost uniform thickness by good step coverage.

[0172] On the other hand, since the level difference in opening on P type graft impurity range 17b is relatively large, step coverage gets worse and the TiON barrier metal layer 24 deposited on P type graft impurity range 17b in this opening is locally thin-film-ized in the corner of opening. Thus, the NPN bipolar transistor A and the zener-zap diode B which are shown in above-mentioned drawing 27 are loaded together on the same semi-conductor substrate, and produce a semiconductor device (refer to drawing 30).

[0173] According to this operation gestalt, the polycrystalline silicon layer 20 of opening on P type graft impurity range 17b of the anode field 18 is removed as mentioned above. In case the P type graft impurity range 17b front face of these opening circles is exposed, while making polycrystalline silicon layer 20e remain on the insulator layer 19 around this opening By etching P type graft impurity range 17b exposed in opening, and forming a crevice 23 in the front face by over-etching of the intentional polycrystalline silicon layer 20 The level difference in this opening becomes that by which the thickness of polycrystalline silicon layer 20e and the depth of a crevice 23 joined the thickness of an insulator layer 19. Other N+ They are a P+ mold graft base field 17a top and N+ more nearly again than the level difference which polycrystalline silicon layer 20a on opening on mold emitter region 21a and the insulator layer 19 of this perimeter makes. It becomes larger than the level difference in each opening on the mold plug-in 15. For this reason, in case the TiON barrier metal layer 24 is deposited, a level difference is small N+ relatively. Also for the TiON barrier metal layer 24 deposited on polycrystalline silicon layer 20a on mold emitter region 21a, a level difference is P+ in small opening relatively. A mold graft base field 17a top and N+ The TiON barrier metal layer 24 deposited on the mold plug-in 15 both also serves as almost uniform thickness by good step coverage. On the other hand, relatively, a level difference worsens step coverage in opening on large P type graft impurity range 17b, and can thin-film-ize locally beyond the case of the above 4th or the 5th operation gestalt the TiON barrier metal layer 24 deposited on P type graft impurity range 17b in this opening in the corner of opening.

[0174] Therefore, like the case of the operation gestalt of the above 3rd, even if it is the zener-zap diode B of barrier metal structure By having the part where the TiON barrier metal layer 24 was thin-film-ized locally Since aluminum filament which connects between two electrodes becomes is easy to be formed when the reverse bias of high electric field is impressed between anode electrode 25e and cathode field 21b, Securing the barrier property in the NPN bipolar transistor A of barrier metal structure, the destructive short circuit of zener-zap diode is made easy, and it becomes possible to stabilize the on resistance value after a destructive short circuit.

[0175] Moreover, according to this operation gestalt, they are P type base region 16a and P+. P type impurity range 16b and P+ which constitute the anode field 18 in coincidence in the process which forms mold graft base field 17a, respectively Mold graft base field 17a is formed, respectively. N+ It sets at the process which forms mold emitter region 21a, and is N+ to coincidence. Cathode field 21b which consists of a mold impurity range is formed. While removing the polycrystalline silicon layer 20 of opening on P type graft impurity range 17b to coincidence in the process which carries out patterning of the polycrystalline silicon layer 20 of polar zone, such as an emitter Polycrystalline silicon layer 20e is made to remain on the insulator layer 19 around this opening. Furthermore, a crevice 23 is formed in the P type graft impurity range 17b front face exposed to these opening circles. While forming 25d of cathode electrodes, and anode electrode 25e in coincidence in the process which forms emitter electrode 25a which consists of an aluminum alloy layer through the TiON barrier metal layer 24 The TiON barrier metal layer 24 which intervenes between P type graft impurity range 17b and anode electrode

THIS PAGE BLANK (USPTO)

25e is thin-film-ized locally.

[0176] Therefore, the inside of the emitter polar zone of barrier metal structure, the base-electrode section, and the collector-electrode section, In case the NPN bipolar transistor A by which polycrystalline silicon layer 20a is used only for the emitter polar zone is produced Without adding a new process to the conventional production process in any way The TiON barrier metal layer 24 which intervenes between P type graft impurity range 17b of the anode field 18 and anode electrode 25e can produce the zener-zap diode B which has the part thin-film-ized locally instantaneous.

[0177] in addition, above-mentioned the 1- in the 6th operation gestalt, although the semiconductor device with which the NPN bipolar transistor A and the zener-zap diode B are loaded together, and its manufacture approach are explained, you may be the semiconductor device with which it is not limited to the NPN bipolar transistor A, and an PNP bipolar transistor and zener-zap diode are loaded together. Moreover, although the zener-zap diode B which the TiON barrier metal layer 24 which intervenes between the anode field 18 and anode electrode 25e has thin-film-ized locally is explained, the TiON barrier metal layer which intervenes between a cathode field and a cathode electrode may be the zener-zap diode thin-film-ized locally. for example, above-mentioned the 1- if the conductivity type of the P type in each component of the semiconductor device of the 6th operation gestalt and N type is made reverse and the manufacture approach of each operation gestalt is applied, while loading various goods together with an PNP bipolar transistor on the same N type Si substrate, it is possible to produce the zener-zap diode which the TiON barrier metal layer which intervenes between a cathode field and a cathode electrode has thin-film-ized locally.

[0178]

[Effect of the Invention] As mentioned above, according to the semiconductor device concerning this invention, and its manufacture approach, the following effectiveness can be done so as explained to the detail. Namely, even if it is the zener-zap diode of the barrier metal structure where the 1st and 2nd barrier metal layers intervene, respectively between the 1st and 2nd electrodes which form a cathode electrode and an anode electrode, and the 1st and 2nd impurity ranges which make a PN junction according to the semiconductor device concerning claim 1 By having the part where one [at least] barrier metal layer of the 1st and 2nd barrier metal layers was thin-film-ized locally When the reverse bias of high electric field is impressed to inter-electrode [1st and 2nd], while the current concentration with this barrier metal layer local in the part thin-film-ized locally occurs and a barrier metal layer is torn Since the metal and semi-conductor substrate which constitute an electrode by generation of heat accompanying it react, the stable filament which connects inter-electrode [1st and 2nd] can make it be easy to be formed. Therefore, while reducing a zener-zap generating current and making easy the destructive short circuit of zener-zap diode, it becomes possible to stabilize the on resistance value after a destructive short circuit.

[0179] Moreover, zener-zap diode and emitter polar zone which have the 1st and 2nd impurity ranges which make a PN junction according to the manufacture approach of the semiconductor device concerning claim 4, In the manufacture approach of a semiconductor device that the bipolar transistor of the barrier metal structure where the polycrystalline silicon layer is used for the base-electrode sections and all the collector-electrode sections is loaded together on the same semi-conductor substrate While removing the 5th opening on the 1st impurity range, and the polycrystalline silicon layer on the insulator layer of this perimeter By etching the 1st impurity range in the 5th opening by over-etching of this polycrystalline silicon layer, and forming a crevice in the 1st impurity range front face The level difference in this 5th opening can be made larger than the level difference in openings, such as other emitters, as that by which the depth of the crevice on the 1st front face of an impurity range joined the thickness of an insulator layer. For this reason, in case a barrier metal layer is deposited in a next process, while obtaining good step coverage in openings, such as an emitter, the step coverage in the 5th opening is worsened and the barrier metal layer deposited on the 1st [in the 5th opening] impurity

THIS PAGE BLANK (USPTO)

range becomes possible [thin-film-izing locally]. Therefore, securing the barrier property in the bipolar transistor of barrier metal structure, a destructive short circuit is easy and can produce easily zener-zap diode with the stable on resistance value after a destructive short circuit.

[0180] Moreover, form a base region and the 1st impurity range in coincidence, and an emitter region and the 2nd impurity range are formed in coincidence. A crevice is formed in the 5th impurity range front face [1st] of opening circles at the same time it carries out patterning of the polycrystalline silicon layer of polar zone, such as an emitter. While forming the 1st and 2nd electrodes at the same time it forms the base electrode which consists of a metal layer through a barrier metal layer. In order to thin-film-ize locally the barrier metal layer which intervenes between the 1st electrode and the 1st impurity range, it becomes a destructive short circuit is easy and possible to produce the bipolar transistor of zener-zap diode and barrier metal structure with the stable on resistance value after a destructive short circuit instantaneous, without adding a new process to the production process of the conventional bipolar transistor. Therefore, the rise of cost can be controlled.

[0181] Moreover, zener-zap diode and emitter polar zone which have the 1st and 2nd impurity ranges which make a PN junction according to the manufacture approach of the semiconductor device concerning claim 5, In the manufacture approach of a semiconductor device that the bipolar transistor of the barrier metal structure where the polycrystalline silicon layer is used for the base-electrode sections and all the collector-electrode sections is loaded together on the same semi-conductor substrate. While making a polycrystalline silicon layer remain on the insulator layer around the 5th opening on the 1st impurity range. By removing the polycrystalline silicon layer of the 5th opening, the level difference in this 5th opening can be made larger than the level difference in openings, such as other emitters, as that by which the thickness of a polycrystalline silicon layer joined the thickness of an insulator layer. For this reason, like the case of above-mentioned claim 4, securing the barrier property in the bipolar transistor of barrier metal structure, a destructive short circuit is easy and can produce easily zener-zap diode with the stable on resistance value after a destructive short circuit.

[0182] Moreover, form a base region and the 1st impurity range in coincidence, and an emitter region and the 2nd impurity range are formed in coincidence. A polycrystalline silicon layer is made to remain on the insulator layer around the 5th opening at the same time it carries out patterning of the polycrystalline silicon layer of polar zone, such as an emitter. While forming the 1st and 2nd electrodes at the same time it forms the base electrode which consists of a metal layer through a barrier metal layer. In order to thin-film-ize locally the barrier metal layer which intervenes between the 1st electrode and the 1st impurity range, it becomes a destructive short circuit is easy and possible to produce the bipolar transistor of zener-zap diode and barrier metal structure with the stable on resistance value after a destructive short circuit instantaneous, without adding a new process to the conventional production process, and the rise of cost can be controlled.

[0183] Moreover, zener-zap diode and emitter polar zone which have the 1st and 2nd impurity ranges which make a PN junction according to the manufacture approach of the semiconductor device concerning claim 6, In the manufacture approach of a semiconductor device that the bipolar transistor of the barrier metal structure where the polycrystalline silicon layer is used for the base-electrode sections and all the collector-electrode sections is loaded together on the same semi-conductor substrate. While making a polycrystalline silicon layer remain on the insulator layer around the 5th opening on the 1st impurity range and removing the polycrystalline silicon layer of the 5th opening. By etching the 1st impurity range in the 5th opening by over-etching of this polycrystalline silicon layer, and forming a crevice in the 1st impurity range front face. As that by which the thickness of a polycrystalline silicon layer and the depth of the crevice on the 1st front face of an impurity range joined the thickness of an insulator layer, while making the level difference in this 5th opening larger than the level difference in openings, such as other emitters. The extent can be made still larger than above-mentioned claim 4 or the case of 5. For this reason, securing the barrier property in the bipolar transistor of barrier metal structure,

THIS PAGE BLANK (USPTO)

a destructive short circuit is easy beyond above-mentioned claim 4 or the case of 5, and the on resistance value after a destructive short circuit can produce stable zener-zap diode easily.

[0184] Moreover, form a base region and the 1st impurity range in coincidence, and an emitter region and the 2nd impurity range are formed in coincidence. While making a polycrystalline silicon layer remain on the insulator layer around the 5th opening at the same time it carries out patterning of the polycrystalline silicon layer of polar zone, such as an emitter. While forming the 1st and 2nd electrodes at the same time it forms a crevice in the 1st impurity range front face in the 5th opening and forms the base electrode which consists of a metal layer through a barrier metal layer. In order to thin-film-ize locally the barrier metal layer which intervenes between the 1st electrode and the 1st impurity range, It becomes a destructive short circuit is easy and possible to produce the bipolar transistor of zener-zap diode and barrier metal structure with the stable on resistance value after a destructive short circuit instantaneous, without adding a new process to the conventional production process, and the rise of cost can be controlled.

[0185] Moreover, according to the manufacture approach of the semiconductor device concerning claim 8. In the manufacture approach of a semiconductor device that the bipolar transistor of the barrier metal structure where the polycrystalline silicon layer is used only for the zener-zap diode which has the 1st and 2nd impurity ranges which make a PN junction, and the emitter polar zone is loaded together on the same semi-conductor substrate. While removing the 3rd opening on the 1st impurity range, and the polycrystalline silicon layer on the insulator layer of this perimeter. By etching the 1st impurity range in the 3rd opening by over-etching of this polycrystalline silicon layer, and forming a crevice in the 1st impurity range front face. The level difference in this 3rd opening can be made larger than the level difference in other openings as that by which the depth of the crevice on the 1st front face of an impurity range joined the thickness of an insulator layer. For this reason, in case a barrier metal layer is deposited in a next process, while obtaining good step coverage in openings, such as an emitter, the step coverage in the 3rd opening is worsened and the barrier metal layer deposited on the 1st [in the 3rd opening] impurity range becomes possible [thin-film-izing locally]. Therefore, securing the barrier property in the bipolar transistor of barrier metal structure, a destructive short circuit is easy and can produce easily zener-zap diode with the stable on resistance value after a destructive short circuit.

[0186] Moreover, form a base region and the 1st impurity range in coincidence, and an emitter region and the 2nd impurity range are formed in coincidence. A crevice is formed in the 3rd impurity range front face [1st] of opening circles at the same time it carries out patterning of the polycrystalline silicon layer of polar zone, such as an emitter. While forming the 1st and 2nd electrodes at the same time it forms the base electrode which consists of a metal layer through a barrier metal layer. In order to thin-film-ize locally the barrier metal layer which intervenes between the 1st electrode and the 1st impurity range, It becomes a destructive short circuit is easy and possible to produce the bipolar transistor of zener-zap diode and barrier metal structure with the stable on resistance value after a destructive short circuit instantaneous, without adding a new process to the conventional production process, and the rise of cost can be controlled.

[0187] Moreover, according to the manufacture approach of the semiconductor device concerning claim 9. In the manufacture approach of a semiconductor device that the bipolar transistor of the barrier metal structure where the polycrystalline silicon layer is used only for the zener-zap diode which has the 1st and 2nd impurity ranges which make a PN junction, and the emitter polar zone is loaded together on the same semi-conductor substrate. While making a polycrystalline silicon layer remain on the insulator layer around the 3rd opening on the 1st impurity range. By removing the polycrystalline silicon layer of the 3rd opening, the level difference in this 3rd opening can be made larger than the level difference in openings, such as other emitters, as that by which the thickness of a polycrystalline silicon layer joined the thickness of an insulator layer. For this reason, like the case of above-mentioned claim 8, securing the barrier property in the bipolar transistor of barrier metal structure, a destructive short circuit is easy

THIS PAGE BLANK (USPTO)

and can produce easily zener-zap diode with the stable on resistance value after a destructive short circuit.

[0188] Moreover, form a base region and the 1st impurity range in coincidence, and an emitter region and the 2nd impurity range are formed in coincidence. A polycrystalline silicon layer is made to remain on the insulator layer around the 3rd opening at the same time it carries out patterning of the polycrystalline silicon layer of polar zone, such as an emitter. While forming the 1st and 2nd electrodes at the same time it forms the base electrode which consists of a metal layer through a barrier metal layer. In order to thin-film-ize locally the barrier metal layer which intervenes between the 1st electrode and the 1st impurity range, It becomes a destructive short circuit is easy and possible to produce the bipolar transistor of zener-zap diode and barrier metal structure with the stable on resistance value after a destructive short circuit instantaneous, without adding a new process to the conventional production process, and the rise of cost can be controlled.

[0189] Moreover, according to the manufacture approach of the semiconductor device concerning claim 10 In the manufacture approach of a semiconductor device that the bipolar transistor of the barrier metal structure where the polycrystalline silicon layer is used only for the zener-zap diode which has the 1st and 2nd impurity ranges which make a PN junction, and the emitter polar zone is loaded together on the same semi-conductor substrate While making a polycrystalline silicon layer remain on the insulator layer around the 3rd opening on the 1st impurity range and removing the polycrystalline silicon layer of the 3rd opening By etching the 1st impurity range in the 3rd opening by over-etching of this polycrystalline silicon layer, and forming a crevice in the 1st impurity range front face The level difference in this 3rd opening can be made larger than the level difference in openings, such as other emitters, as that by which the thickness of a polycrystalline silicon layer and the depth of the crevice on the 1st front face of an impurity range joined the thickness of an insulator layer. For this reason, like the case of above-mentioned claim 8, securing the barrier property in the bipolar transistor of barrier metal structure, a destructive short circuit is easy and can produce easily zener-zap diode with the stable on resistance value after a destructive short circuit.

[0190] Moreover, form a base region and the 1st impurity range in coincidence, and an emitter region and the 2nd impurity range are formed in coincidence. While making a polycrystalline silicon layer remain on the insulator layer around the 3rd opening at the same time it carries out patterning of the polycrystalline silicon layer of polar zone, such as an emitter While forming the 1st and 2nd electrodes at the same time it forms a crevice in the 1st impurity range front face in the 3rd opening and forms the base electrode which consists of a metal layer through a barrier metal layer In order to thin-film-ize locally the barrier metal layer which intervenes between the 1st electrode and the 1st impurity range, It becomes a destructive short circuit is easy and possible to produce the bipolar transistor of zener-zap diode and barrier metal structure with the stable on resistance value after a destructive short circuit instantaneous, without adding a new process to the conventional production process, and the rise of cost can be controlled.

[0191] Moreover, according to the manufacture approach of the semiconductor device concerning claim 11 In the manufacture approach of a semiconductor device that the bipolar transistor of the barrier metal structure where the polycrystalline silicon layer is used only for the zener-zap diode which has the 1st and 2nd impurity ranges which make a PN junction, and the emitter polar zone is loaded together on the same semi-conductor substrate By removing an insulator layer alternatively and forming the 3rd opening on the 1st impurity range, after making a polycrystalline silicon layer remain on the insulator layer around the 3rd opening formation schedule field on the 1st impurity range The level difference in this 3rd opening can be made larger than the level difference in openings, such as other emitters, as that by which the thickness of a polycrystalline silicon layer joined the thickness of an insulator layer. For this reason, like the case of above-mentioned claim 9, securing the barrier property in the bipolar transistor of barrier metal structure, a destructive short circuit is easy and can produce easily zener-zap diode with

THIS PAGE BLANK (USPTO)

the stable on resistance value after a destructive short circuit.

[0192] Moreover, form a base region and the 1st impurity range in coincidence, and an emitter region and the 2nd impurity range are formed in coincidence. A polycrystalline silicon layer is made to remain on the insulator layer around the 3rd opening formation schedule field on the 1st impurity range at the same time it carries out patterning of the polycrystalline silicon layer of polar zone, such as an emitter. While forming the 1st and 2nd electrodes at the same time it forms the base electrode which consists of a metal layer through a barrier metal layer In order to thin-film-ize locally the barrier metal layer which intervenes between the 1st electrode and the 1st impurity range, It becomes a destructive short circuit is easy and possible to produce the bipolar transistor of zener-zap diode and barrier metal structure with the stable on resistance value after a destructive short circuit instantaneous, without adding a new process to the conventional production process, and the rise of cost can be controlled.

[Translation done.]

THIS PAGE BLANK (USPTO)

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The 1st and 2nd impurity ranges which make a PN junction Zener-zap diode which has the 1st and 2nd electrodes connected to said 1st and 2nd impurity ranges, respectively While it is the semiconductor device equipped with the above and the 1st and 2nd barrier metal layers intervene, respectively between said 1st electrode and said 1st impurity range and between said 2nd electrode and said 2nd impurity range When it has the part where one [at least] barrier metal layer of said 1st and 2nd barrier metal layers was thin-film-ized locally and a predetermined reverse bias is impressed to inter-electrode [said / 1st and 2nd], Current concentration arises in the part where said barrier metal layer was thin-film-ized locally, junction destruction occurs, and it is characterized by forming the filament which connects said 1st and 2nd electrodes.

[Claim 2] The semiconductor device which the semi-conductor substrate with which said 1st and 2nd impurity ranges are formed in the front face is a silicon substrate in a semiconductor device according to claim 1, and is characterized by said 1st and 2nd electrodes consisting of aluminum or an aluminium alloy.

[Claim 3] The semiconductor device characterized by loading together the bipolar transistor on the same semi-conductor substrate with said zener-zap diode in a semiconductor device according to claim 1.

[Claim 4] It is the manufacture approach of a semiconductor device that the zener-zap diode and the bipolar transistor which have the 1st and 2nd impurity ranges which make a PN junction are loaded together on the same semi-conductor substrate. After forming a collector field in a semi-conductor substrate front face, the impurity of the 1st conductivity type is added alternatively. The 1st process which forms a base region in said semi-conductor substrate front face, and forms the 1st impurity range in said collector field front face at coincidence, respectively, The 2nd process which removes alternatively the insulator layer deposited all over the base, forms the 3rd opening on said collector field, and forms the 4th and 5th openings for the 1st and 2nd openings on said 1st impurity range on said base region, respectively, After depositing a polycrystalline silicon layer all over a base, while adding the impurity of the 1st conductivity type in said polycrystalline silicon layer of said 2nd opening The 3rd process which adds the impurity of the 2nd conductivity type in said polycrystalline silicon layer of said 1st, 3rd, and 4th openings, The impurity of the 1st conductivity type in said polycrystalline silicon layer and the 2nd conductivity type is diffused. The 4th process which forms a collector contact field in said collector field front face, and forms the 2nd impurity range in said base region front face for an emitter region and a base contact field on said 1st impurity range front face, respectively, Carry out patterning of said polycrystalline silicon layer to a predetermined configuration, and said polycrystalline silicon layer is made to remain on said insulator layer of these perimeters at said 1st thru/or 4th opening list. While removing said 5th opening and said polycrystalline silicon layer on said insulator layer of this perimeter The 5th process which etches said 1st impurity range in said 5th opening by over-etching of

THIS PAGE BLANK (USPTO)

said polycrystalline silicon layer, and forms a crevice in said 1st impurity range front face, Patterning of the barrier metal layer and metal layer which carried out sequential deposition all over the base is carried out to a predetermined configuration. The base electrode which consists of said metal layer through said barrier metal layer on said the 1st thru/or said polycrystalline silicon layer of the 4th opening, The 6th process which forms the 1st electrode which becomes said 5th opening from said metal layer through said barrier metal layer about an emitter electrode, a collector electrode, and the 2nd electrode, respectively, The manufacture approach of the semiconductor device characterized by thin-film-izing locally said barrier metal layer deposited on the 1st [in said 5th opening] impurity range in case it **** and said barrier metal layer is deposited in said 6th process.

[Claim 5] In the manufacture approach of a semiconductor device according to claim 4, patterning of said polycrystalline silicon layer is carried out to a predetermined configuration instead of said 5th process. Said polycrystalline silicon layer is made to remain on said insulator layer of these perimeters at said 1st thru/or 4th opening list. The manufacture approach of the semiconductor device characterized by having the 5th process which said polycrystalline silicon layer is made to remain on said insulator layer of said 5th perimeter of opening, and removes said polycrystalline silicon layer of said 5th opening.

[Claim 6] In the manufacture approach of a semiconductor device according to claim 4, patterning of said polycrystalline silicon layer is carried out to a predetermined configuration instead of said 5th process. Said polycrystalline silicon layer is made to remain on said insulator layer of these perimeters at said 1st thru/or 4th opening list. While making said polycrystalline silicon layer remain on said insulator layer of said 5th perimeter of opening and removing said polycrystalline silicon layer of said 5th opening The manufacture approach of the semiconductor device characterized by having the 5th process which etches said 1st impurity range in said 5th opening by over-etching of said polycrystalline silicon layer, and forms a crevice in said 1st impurity range front face.

[Claim 7] The manufacture approach of the semiconductor device characterized by replacing the sequence of said 4th process and said 5th process, and performing said 4th process after said 5th process in the manufacture approach of a semiconductor device according to claim 4 to 6.

[Claim 8] It is the manufacture approach of a semiconductor device that the zener-zap diode and the bipolar transistor which have the 1st and 2nd impurity ranges which make a PN junction are loaded together on the same semi-conductor substrate. After forming a collector field in a semi-conductor substrate front face, the impurity of the 1st conductivity type is added alternatively. The 1st process which forms a base region in said collector field front face, and forms the 1st impurity range in said semi-conductor substrate front face, respectively, The 2nd process which removes alternatively the insulator layer deposited all over the base, forms the 1st opening on said base region, and forms the 2nd and 3rd openings on said 1st impurity range, respectively, The 3rd process which adds the impurity of the 2nd conductivity type all over said polycrystalline silicon layer after depositing a polycrystalline silicon layer all over a base, Carry out patterning of said polycrystalline silicon layer to a predetermined configuration, and said polycrystalline silicon layer is made to remain on said insulator layer of these perimeters at said 1st and 2nd opening lists. While removing said 3rd opening and said polycrystalline silicon layer on said insulator layer of this perimeter The 4th process which etches said 1st impurity range in said 3rd opening by over-etching of said polycrystalline silicon layer, and forms a crevice in said 1st impurity range front face, The 5th process which diffuses the impurity of the 2nd conductivity type in said polycrystalline silicon layer, forms an emitter region in said base region front face, and forms the 2nd impurity range in said 1st impurity range front face, respectively, The 6th process which removes said insulator layer alternatively, forms the 4th opening on said base region, and forms the 5th opening on said collector field, respectively, Patterning of the barrier metal layer and metal layer which carried out sequential deposition all over the base is carried out to a predetermined configuration. The emitter electrode and the 2nd electrode which consist of said metal layer through said barrier metal layer

THIS PAGE BLANK (USPTO)

on said polycrystalline silicon layer of said 1st and 2nd openings The 7th process which forms the 1st electrode, base electrode, and collector electrode which become said the 3rd thru/or 5th opening from said metal layer through said barrier metal layer, respectively, The manufacture approach of the semiconductor device characterized by thin-film-izing locally said barrier metal layer deposited on the 1st [in said 3rd opening] impurity range in case it **** and said barrier metal layer is deposited in said 7th process.

[Claim 9] In the manufacture approach of a semiconductor device according to claim 8, patterning of said polycrystalline silicon layer is carried out to a predetermined configuration instead of said 4th process. Said polycrystalline silicon layer is made to remain on said insulator layer of these perimeters at said 1st and 2nd opening lists. The manufacture approach of the semiconductor device characterized by having the 4th process which said polycrystalline silicon layer is made to remain on said insulator layer of said 3rd perimeter of opening, and removes said polycrystalline silicon layer of said 3rd opening.

[Claim 10] In the manufacture approach of a semiconductor device according to claim 8, patterning of said polycrystalline silicon layer is carried out to a predetermined configuration instead of said 4th process. Said polycrystalline silicon layer is made to remain on said insulator layer of these perimeters at said 1st and 2nd opening lists. While making said polycrystalline silicon layer remain on said insulator layer of said 3rd perimeter of opening and removing said polycrystalline silicon layer of said 3rd opening The manufacture approach of the semiconductor device characterized by having the 4th process which etches said 1st impurity range in said 3rd opening by over-etching of said polycrystalline silicon layer, and forms a crevice in said 1st impurity range front face.

[Claim 11] It is the manufacture approach of a semiconductor device that the zener-zap diode and the bipolar transistor which have the 1st and 2nd impurity ranges which make a PN junction are loaded together on the same semi-conductor substrate. After forming a collector field in a semi-conductor substrate front face, the impurity of the 1st conductivity type is added alternatively. The 1st process which forms a base region in said collector field front face, and forms the 1st impurity range in said semi-conductor substrate front face, respectively, The 2nd process which removes alternatively the insulator layer deposited all over the base, forms the 1st opening on said base region, and forms the 2nd opening on said 1st impurity range, respectively, The 3rd process which adds the impurity of the 2nd conductivity type all over said polycrystalline silicon layer after depositing a polycrystalline silicon layer all over a base, The 4th process which diffuses the impurity of the 2nd conductivity type in said polycrystalline silicon layer, forms an emitter region in said base region front face, and forms the 2nd impurity range in said 1st impurity range front face, respectively, Carry out patterning of said polycrystalline silicon layer to a predetermined configuration, and said polycrystalline silicon layer is made to remain on said insulator layer of these perimeters at said 1st and 2nd opening lists. The 5th process which makes said polycrystalline silicon layer remain on said insulator layer of the 3rd perimeter of an opening formation schedule field on said 1st impurity range, The 6th process which removes said insulator layer alternatively, forms the 4th opening on said base region, and forms the 5th opening for the 3rd opening on said collector field on said 1st impurity range, respectively, Patterning of the barrier metal layer and metal layer which carried out sequential deposition all over the base is carried out to a predetermined configuration. The emitter electrode and the 2nd electrode which consist of said metal layer through said barrier metal layer on said polycrystalline silicon layer of said 1st and 2nd openings The 7th process which forms the 1st electrode, base electrode, and collector electrode which become said the 3rd thru/or 5th opening from said metal layer through said barrier metal layer, respectively, The manufacture approach of the semiconductor device characterized by thin-film-izing locally said barrier metal layer deposited on the 1st [in said 3rd opening] impurity range in case it **** and said barrier metal layer is deposited in said 7th process.

[Claim 12] The manufacture approach of the semiconductor device characterized by replacing the sequence of said 4th process and said 5th process, and performing said 4th process after said 5th process

THIS PAGE BLANK (USPTO)

in the manufacture approach of a semiconductor device according to claim 11.

[Translation done.]

THIS PAGE BLANK (USPTO)

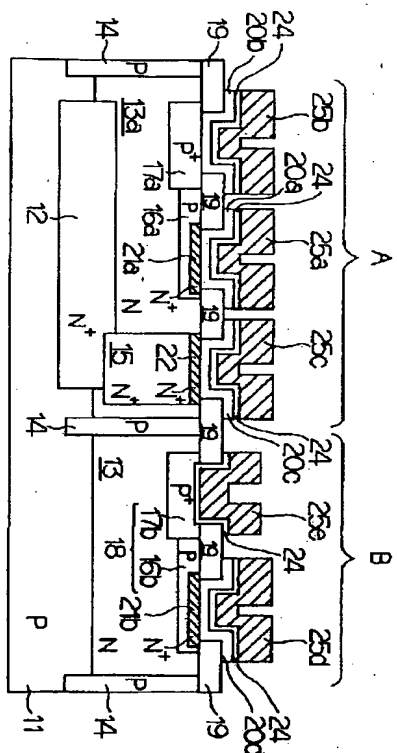
JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

[Drawing 1]

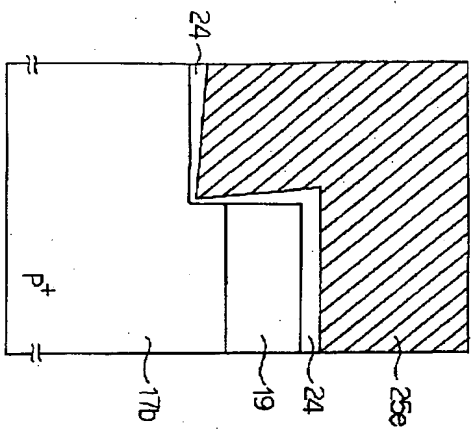
THIS PAGE BLANK (USPTO)



- A... NPN/バイポーラトランジスタ 16a... P型ベース領域
 B... ツェナーサリダイオード 16b... P型不純物領域
 11... P型Si基板 17a... P⁺型クラフトベース領域
 12... N⁺型埋め込み層 17b... P⁺型クラフト不純物領域
 13... N型エピタキシャル層 18... フォード領域
 13a... N型コレクタ領域 19... 絶縁層
 14... P型アイソレーション 20a, 20b, 20c, 20d... 多結晶シリコン層
 15... N⁺型ブラグイン 21a... N⁺型エミッタ領域
 21b... カソード領域
 22... N⁺型コレクタクラフト領域
 24... TION/リメタル層 25a... エミタ電極
 25b... ベース電極 25c... コクタ電極
 25d... カソード電極 25e... フォード電極

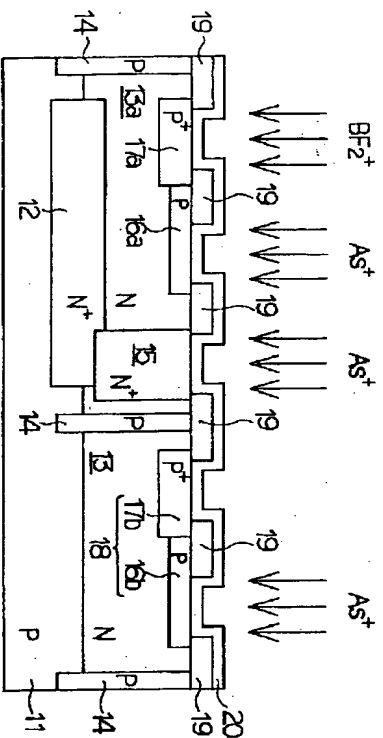
[Drawing 2]

THIS PAGE BLANK (USPTO)



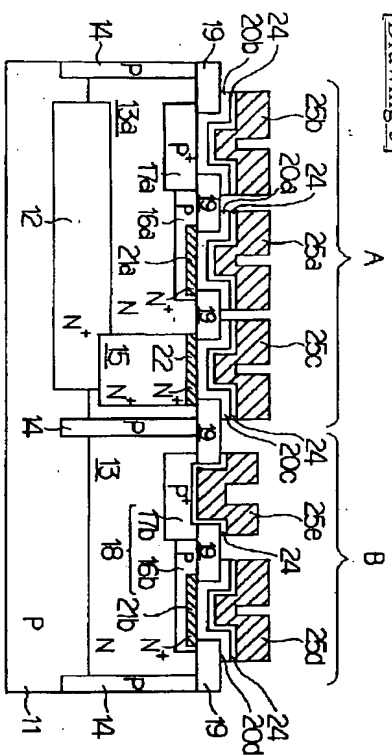
17b...P型クラフト不純物領域
 19...絶縁膜
 24...TiON/ウオクス層
 25e...ゲート電極

[Drawing 3]

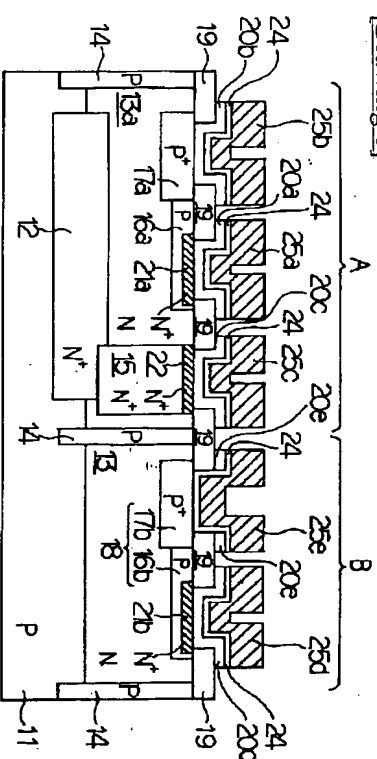


THIS PAGE BLANK (USPTO)

[Drawing 5]



[Drawing 6]

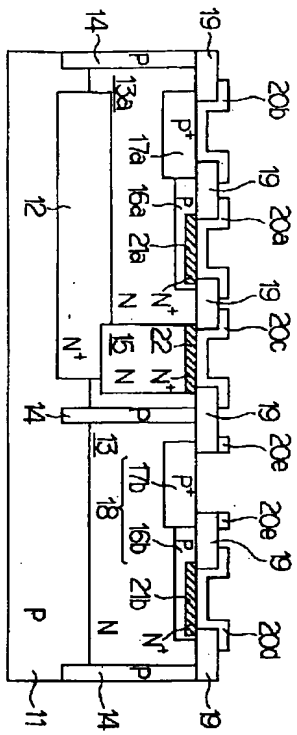


[Drawing 7]

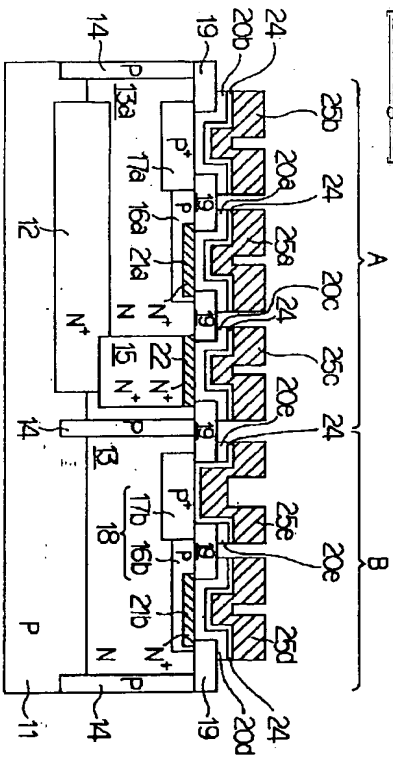
THIS PAGE BLANK (USPTO)



THIS PAGE BLANK (USPTO)



[Drawing 10]

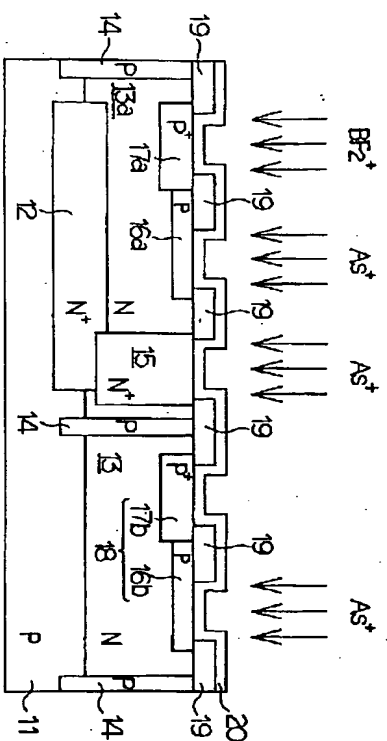


[Drawing 11]

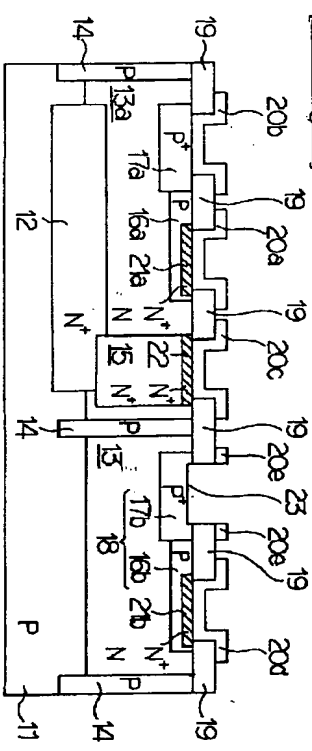
THIS PAGE BLANK (USPTO)



THIS PAGE BLANK (USPTO)



[Drawing 14]



[Drawing 15]

THIS PAGE BLANK (USPTO)

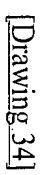


[Drawing 16]

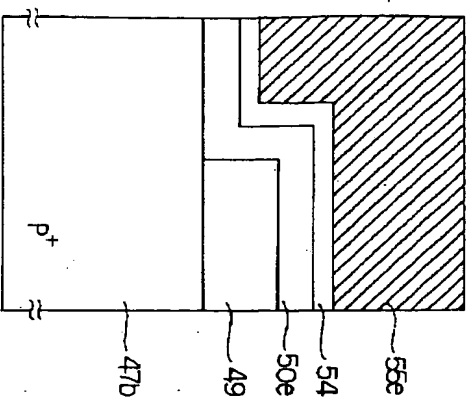


[Drawing 17]

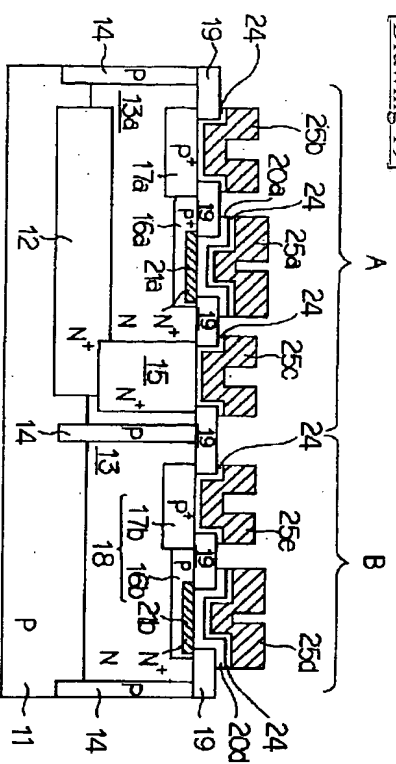
THIS PAGE BLANK (USPTO)



THIS PAGE BLANK (USPTO)

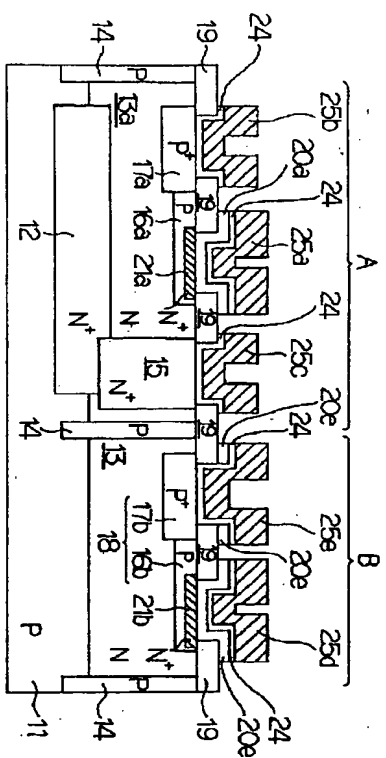


[Drawing 19]

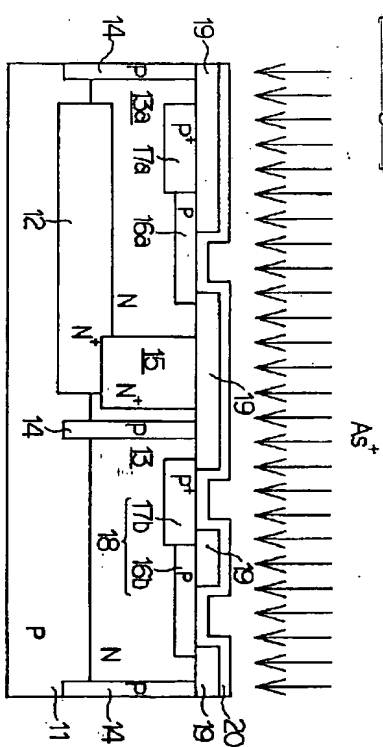


[Drawing 20]

THIS PAGE BLANK (USPTO)

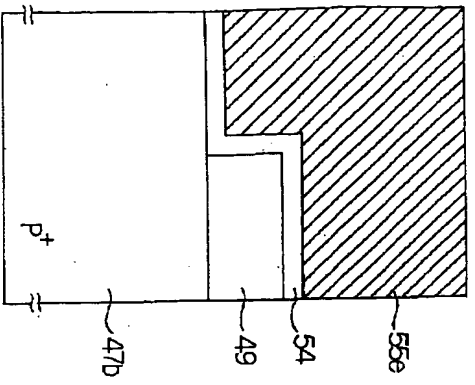


[Drawing 21]

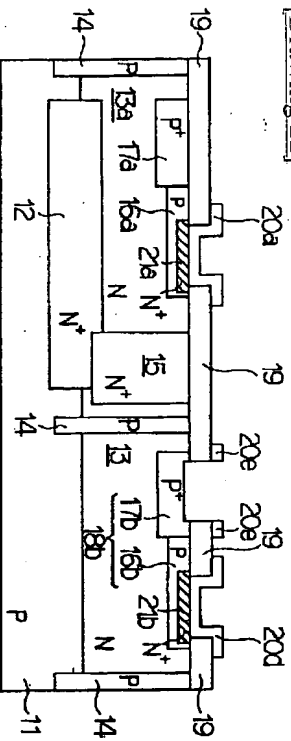


[Drawing 38]

THIS PAGE BLANK (USPTO)

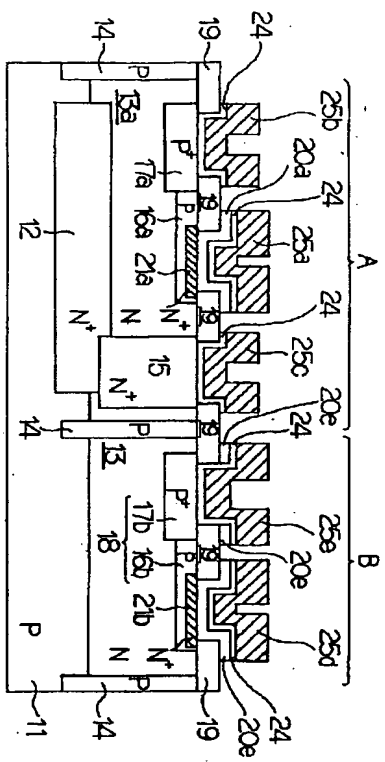


[Drawing 22]

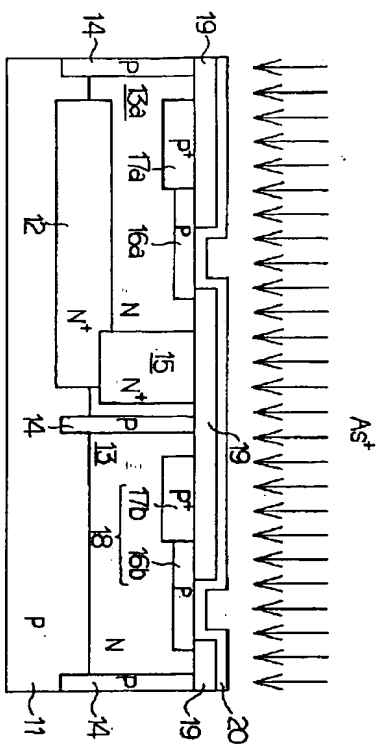


[Drawing 23]

THIS PAGE BLANK (USPTO)

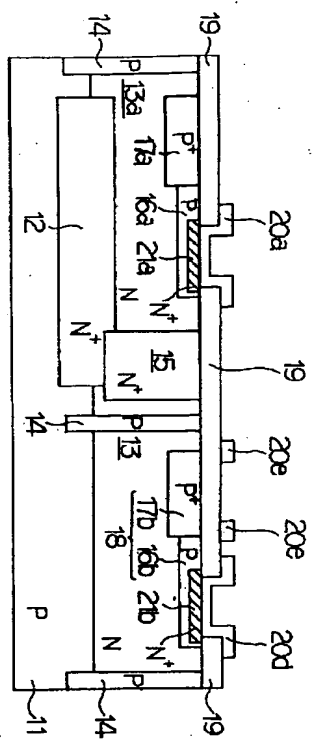


[Drawing 24]

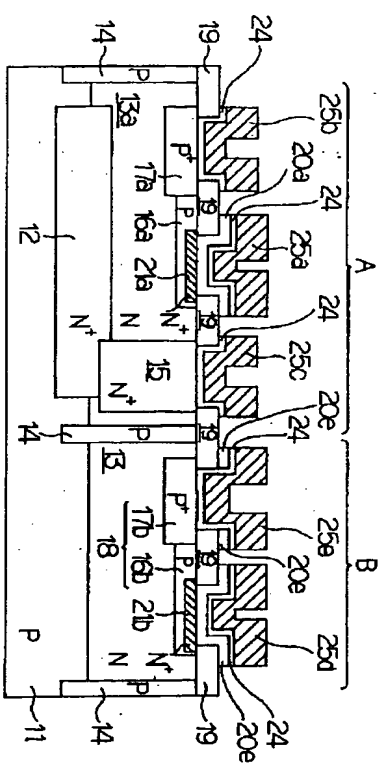


[Drawing 25]

THIS PAGE BLANK (USPTO)

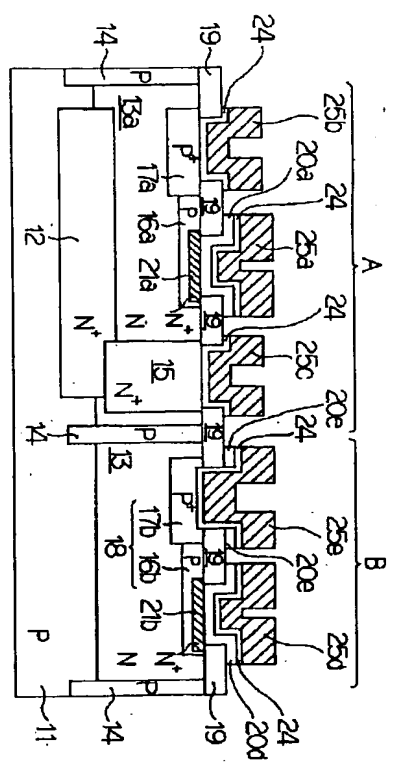


[Drawing 26]

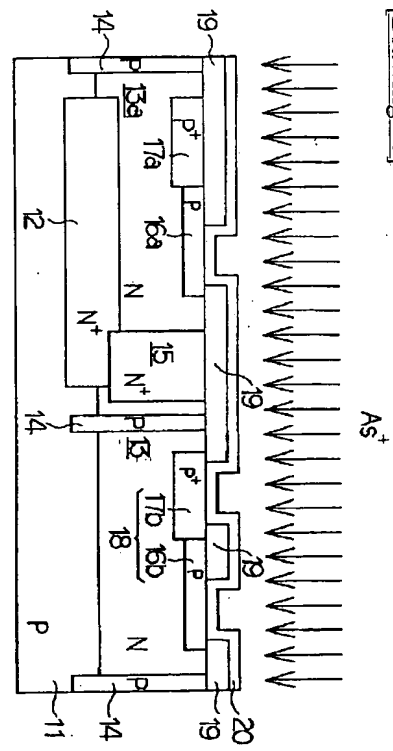


[Drawing 27]

THIS PAGE BLANK (USPTO)

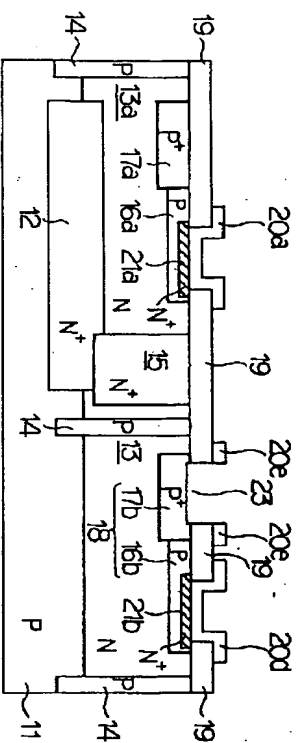


[Drawing 28]

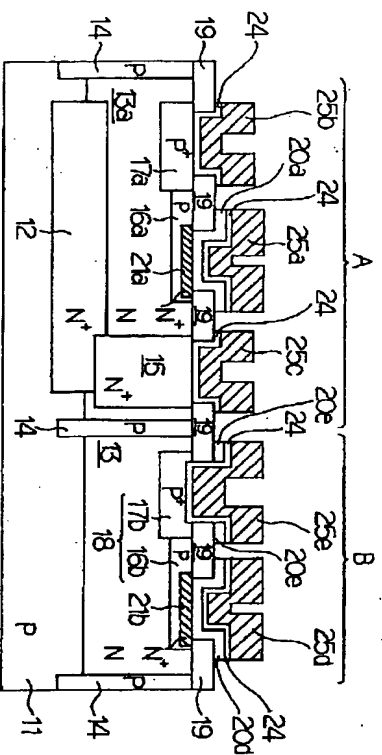


[Drawing 29]

THIS PAGE BLANK (USPTO)

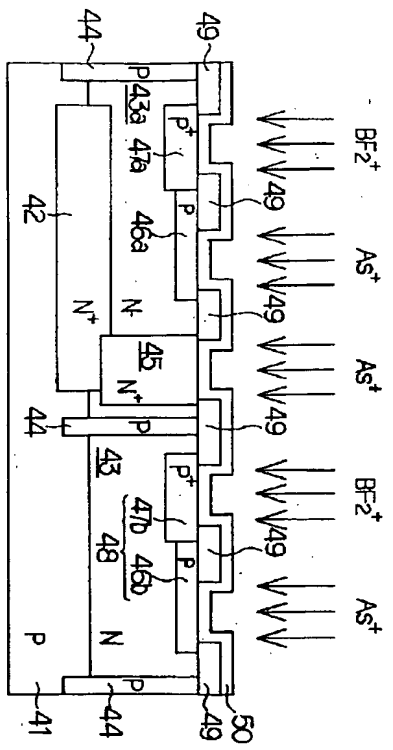


[Drawing 30]

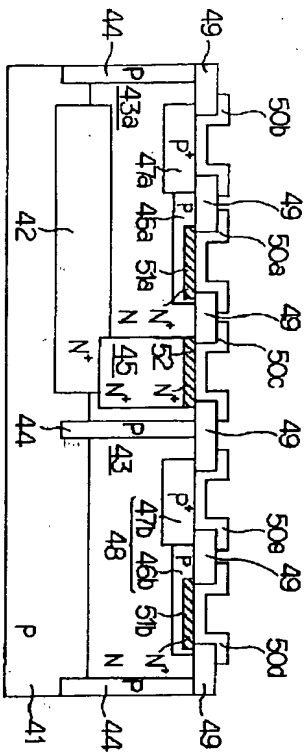


[Drawing 31]

THIS PAGE BLANK (USPTO)

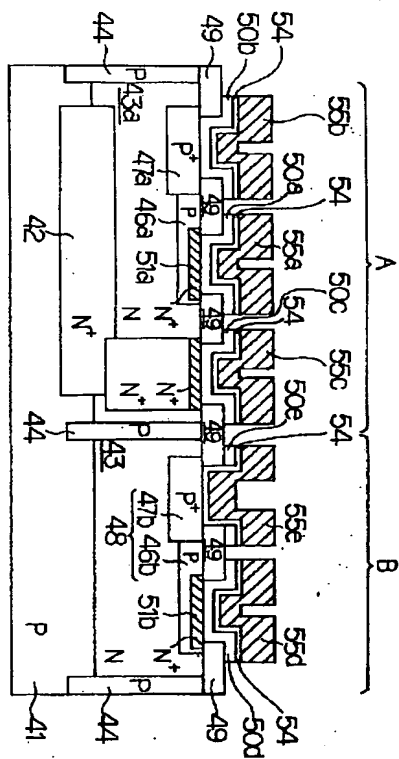


[Drawing 32]

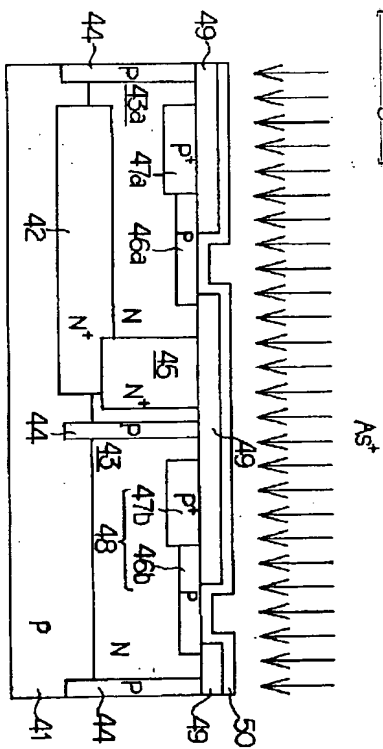


[Drawing 33]

THIS PAGE BLANK (USPTO)



[Drawing 35]



[Drawing 36]

THIS PAGE BLANK (USPTO)

THIS PAGE BLANK (USPTO)

THIS PAGE BLANK (USPTO)



THIS PAGE BLANK (USPTO)